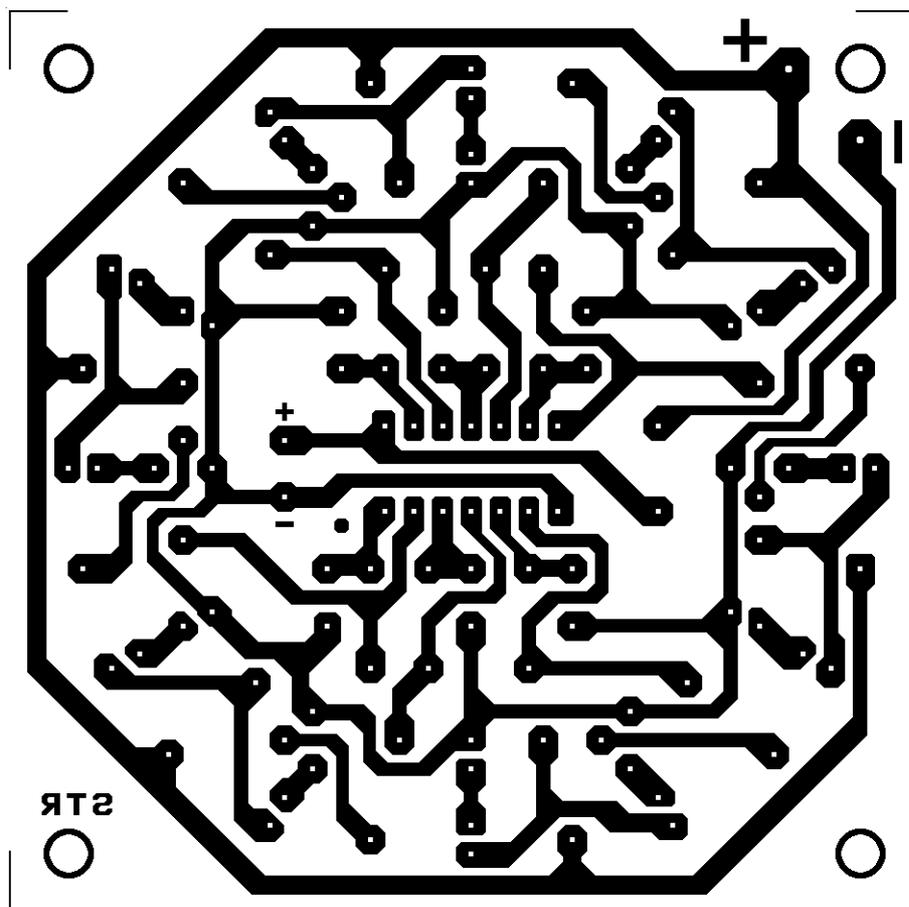


Grundlagen der Elektrotechnik und Elektronik

Josef Straßhofer

Digitaltechnik Experimentiersystem in CMOS-Technologie



Vorwort

Die Digitaltechnik ist zumindest seit den 60-er Jahren in der modernen Elektrotechnik nicht mehr wegzudenken. Seit der Herstellung der ersten digitalen Integrierten Schaltkreise ging und geht die **Entwicklung der Elektrotechnik von analog zu digital**. Die „Krone“ der digitalen Entwicklungsgeschichte ist zweifellos der **Mikroprozessor**, ohne den die moderne Technik nicht mehr vorstellbar wäre.

In der Pflichtschule oder in weiterführenden allgemeinbildenden Schulen findet **Digitaltechnik** bis heute kaum oder überhaupt nicht statt. Ein Zustand, der nach nun mehr als 50 Jahren Digitaltechnik spätestens jetzt geändert werden sollte, will man von einem modernen Schulsystem bzw. von einer modernen Ausbildung sprechen.

Auch die Digitaltechnik selbst hat eine Entwicklung durchgemacht, wobei die aktuelle **CMOS-Technologie** in nahezu allen Bereichen den Vorzug gegenüber früheren Technologien hat. Ein Hauptgrund für den Erfolg von CMOS ist die praktisch leistungslose Steuerung dieser Bauelemente, die allerdings mit einer höheren Beschädigungsanfälligkeit erkaufte wurde. Doch das hat man inzwischen im Griff.

Experimentiersysteme in CMOS-Technologie gibt es auf Grund der historischen Entwicklung daher kaum. Was liegt also näher, ein Experimentiersystem zu entwickeln, das auf dieser

modernen CMOS-Technologie beruht, zumal sie gerade im Bereich Schule und Ausbildung einfacher in der Anwendung ist.

Die nachfolgende Arbeit verfolgt keinesfalls den Anspruch auf Vollständigkeit; in der Digitaltechnik ist dies mit ihrer Vielfalt auch nicht möglich. Sehr wohl zeigt das **Experimentiersystem in CMOS-Technologie** aber den Weg, der in der Ausbildung gegangen werden kann.

Das vorgestellte Experimentiersystem ist in jeder Hinsicht mit weiteren Modulen, die sich an die vorgestellten anschließen lassen, erweiterbar. Ein wesentlicher Punkt dabei ist, dass sich jeder, der die **Platinenfertigung** beherrscht, das gesamte Experimentiersystem ausgesprochen kostengünstig selbst bauen kann. So gesehen ist es geradezu dazu prädestiniert, im **Fach Elektrotechnik** der verschiedensten Schultypen, auch in den allgemeinbildenden Schulen, umgesetzt zu werden. Aus diesem Grund wurde auch bei den Grundlagen der Digitaltechnik auf die Herleitung der Hardware von der erlebbaren Wirklichkeit besonderer Wert gelegt. Denn das faszinierende an der Digitaltechnik ist die Tatsache, dass die **reale Welt mit der Technik in viel engerem Zusammenhang** steht, als man vordergründig oft annimmt.

Josef Straßhofer MA - josef@strasshofer.at

Inhalt

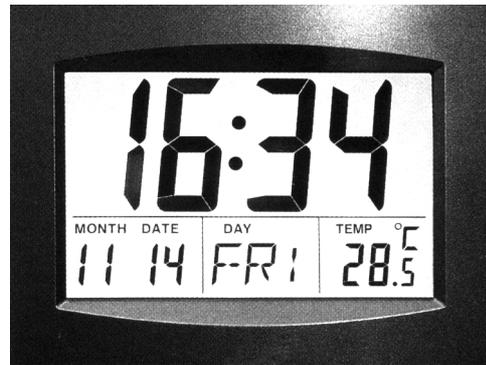
Grundlagen der Digitaltechnik	1
Logische Gatter	11
Hardware	19
Experimente	25
Praktische Anwendung	34
Platinenvorlagen	36

Die **Digitaltechnik** hat sich in den vergangenen Jahrzehnten zum erfolgreichsten Zweig in der Elektronik entwickelt. Dafür gibt es Gründe. Doch vorerst soll der **Unterschied zwischen Analog- und Digitaltechnik** am Beispiel dieser beiden Uhren gezeigt werden.

„analog“



„digital“



Die beiden Abbildungen zeigen einen älteren **analogen** und einen modernen **digitalen** Wecker. An diesen Uhren ist der **Unterschied zwischen Analog- und Digitaltechnik** sehr deutlich erkennbar.

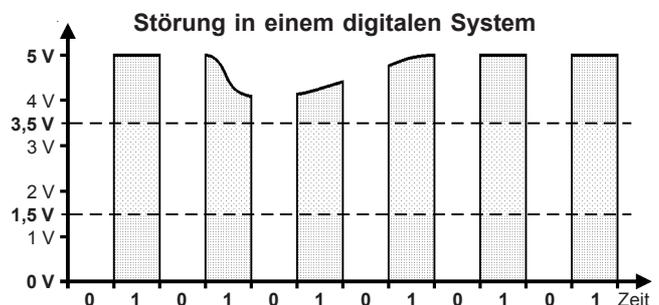
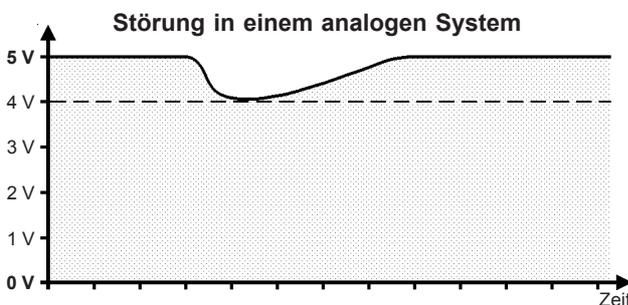
Der analoge Wecker zeigt die Uhrzeit immer ganz genau. Die Zeiger der Uhr geben **kontinuierlich** jeden Zwischenwert der Uhrzeit an, sei er auch noch so klein. Die Zeitpunkte, die eine analoge Uhr zwischen zwei festgelegten Zeiten - z.B. zwischen 14.00 Uhr und 14.05 Uhr - anzeigt, sind **nicht abzählbar**; es sind also **unendlich** viele Zeitpunkte. Eine Grenze besteht nur durch das eingeschränkte Ablesevermögen des Beobachters.

Bei der Digitaluhr **springt** die Anzeige von einem Wert (Stunden, Minuten, Sekunden) zum nächsten. Sie zeigt tatsächlich immer nur einen Zeitpunkt an, und dann den nächsten. Die Werte zwischen den einzelnen aufeinanderfolgenden Zeitpunkten werden nicht angezeigt. Die darstellbaren Zeiten auf der Anzeige sind in Wirklichkeit **abzählbar**; es sind also nur **endlich** viele. Der Genauigkeit der Anzeige sind durch endlich viele Stellen technische Grenzen gesetzt.

Vorteile der Digitaltechnik Gründe für ihren Erfolg

Digitale Schaltungen sind **weniger stör anfällig** als analoge. Tritt in einem analogen System eine Störung auf, wirkt sich das voll auf das Signal aus. So bewirkt z.B. ein Spannungseinbruch von 1 Volt - hier von 5 Volt auf 4 Volt - eine Verfälschung der Messung um 20 Prozent.

In einem digitalen System hat eine derartige Störung keine Auswirkungen, da die digitalen Impulse als solche erkannt werden, solange sie sich noch **im definierten Bereich** befinden. Bei der CMOS-Technologie liegen diese Bereiche bei einer Betriebsspannung von 5 Volt zwischen **0** und **1,5 Volt** bzw. **3,5** und **5 Volt**.



01

Ein weiterer wesentlicher Grund für den Erfolg der Digitaltechnik ist ihre **Einfachheit**, da sie nur **zwei Spannungszustände**, die als **1** und **0** bezeichnet werden, kennt. Die Digitaltechnik ist daher **universell einsetzbar**. Dieselben digitalen Bauelemente befinden sich im Computer, in der Stereoanlage oder in einer Nähmaschine. Die Übertragbarkeit von Informationen von einem System zum anderen ist somit besonders einfach.

0 und 1 Das ist Digitaltechnik.

Die Grundlage der Digitaltechnik ist ein **Zahlensystem**, das nur aus **2 Ziffern** besteht, aus **0** und **1**. Dieses Zahlensystem bezeichnet man als **Binärsystem**, die Zahlen selbst als **Dualzahlen**. Die Ausdrücke „binär“ und „dual“ kennzeichnen bereits im Wort eine Technik, bei der nur 2 Zustände eine Rolle spielen. Diese beiden Zustände werden in der Logik mit wahr („true“) und falsch („false“) ausgedrückt.

In der Elektronik, wo mit **Spannungen** gearbeitet wird, verwendet man die Ausdrücke **H-Pegel** (High-Pegel, high, H) für die logische **1**, **L-Pegel** (Low-Pegel, low, L) für die logische **0**. An den Ausdrücken „high“ und „low“ erkennt man sofort, dass es sich um unterschiedliche Spannungen handeln muss. Für den Ausdruck „high“ gilt somit **hohe Spannung**, für „low“ **niedrige Spannung**.

Übliche Bezeichnungen der Pegelbereiche

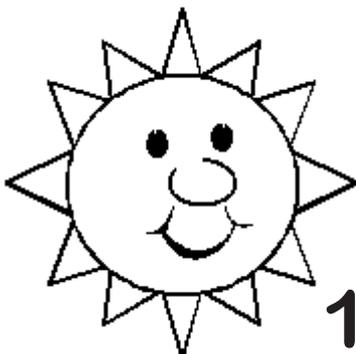
5 V	H-Pegelbereich	1	H	H-Pegel	high	ja	wahr	true
4 V								
3,5 V	verbotene Zone							
3 V								
2 V								
1,5 V	L-Pegelbereich	0	L	L-Pegel	low	nein	falsch	false
1 V								
0 V								

Pegelbereiche: H-Pegel ... 3,5 - 5 Volt, L-Pegel ... 0 - 1,5 Volt, verbotene Zone ... 1,5 - 3,5 Volt

Integrierte Schaltkreise in CMOS-Technologie können mit beliebigen Betriebsspannungen von **3 - 15 Volt** betrieben werden. In den vorliegenden Diagrammen wird von einer Betriebsspannung von **5 Volt** ausgegangen, da diese aus Gründen der Vergleichbarkeit (Kompatibilität) mit anderen Bauelementen der Elektronik (TTL-Technik), die mit 5 Volt betrieben werden müssen, üblich ist.

Bei einer Betriebsspannung von 5 Volt wird somit ein Signal als logisch **1** (H-Pegel) erkannt, wenn die Spannung des Signals zwischen **3,5 und 5 Volt** beträgt. Ein Signal gilt als logisch **0** (L-Pegel), wenn die Spannung zwischen **0 und 1,5 Volt** beträgt. Spannungen zwischen 1,5 und 3,5 Volt (verbotene Zone) dürfen in CMOS-Schaltungen, sofern die Betriebsspannung 5 Volt beträgt, nicht auftreten.

Was haben die logischen Pegel 1 und 0 mit der Wirklichkeit zu tun?



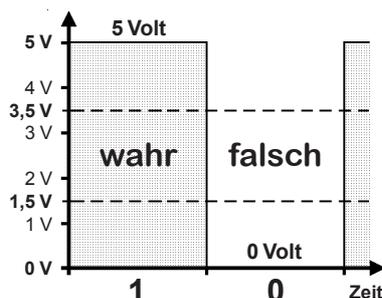
1

Die Digitaltechnik erfasst die **Wirklichkeit** nur mehr in **2 Zuständen**, die als logisch 0 bzw. 1 dargestellt werden. Dabei ist es oft eine Vereinbarung, was man als logisch 0 und was als logisch 1 betrachtet.

Geht man von der Aussage „**Die Sonne scheint.**“ aus, so wird diese als **wahr** eingestuft, wenn es tatsächlich zutrifft. Eine wahre Aussage entspricht einem **H-Pegel** und ist somit logisch **1**. Scheint die Sonne jedoch nicht, so wäre obige Aussage **falsch**. Eine falsche Aussage entspricht einem **L-Pegel** und somit logisch **0**.



0



Darstellung einer Aussage in der Elektronik

Wahre und falsche Aussagen werden in der Elektronik als Spannungen dargestellt, die dem L-Pegelbereich (0 - 1,5 Volt) bzw. dem H-Pegelbereich (3,5 - 5 Volt) entsprechen.

Die Abbildung links zeigt die logischen Pegel für die Aussage „**Die Sonne scheint.**“. Ist die Aussage **wahr**, entspricht das einer Spannung von **5 Volt**, also dem **H-Pegel** und somit logisch **1**. Ist die Aussage **falsch**, entspricht dies **0 Volt**, also dem **L-Pegel** und somit logisch **0**.

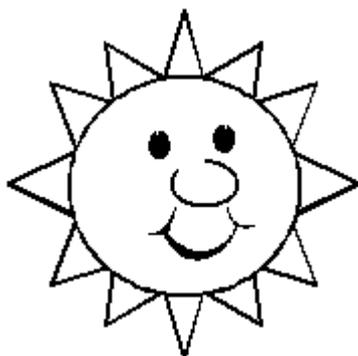
Die Logik Grundlage der Digitaltechnik

Wenn eine Aussage, wie z.B. „**Die Sonne scheint.**“, tatsächlich zutrifft, dann ist sie wahr und wird als logisch 1 angesehen. Trifft die Aussage nicht zu, dann ist sie falsch und wird als logisch 0 angesehen.

Damit man die Digitaltechnik aber auch praktisch einsetzen kann, ist eine einzige Aussage, die wahr oder falsch sein kann, zu wenig. Es handelt sich dabei nur um eine Beschreibung eines Zustandes, aus dem nichts folgt.

Für die Anwendung der Digitaltechnik müssen zumindest **2 Aussagen** bzw. 2 Zustände vorhanden sein, die miteinander **in Beziehung** gesetzt werden können. Jede der Aussagen kann dabei 2 Zustände einnehmen, eben wahr oder falsch. Ist eine derartige Beziehung zwischen 2 Aussagen einmal hergestellt, also ein Satz gebildet, so gelten für die weitere Analyse nur die in diesem Satz vorkommenden Aussagen. Das ist eben Logik. Dazu folgendes Beispiel:

Wenn die Sonne scheint, dann mähe ich den Rasen.



Die Sonne scheint.

Ich mähe den Rasen.

Stimmt die erste Aussage „**Die Sonne scheint.**“ mit der Realität überein, trifft sie also zu, dann ist die Aussage **wahr**. Eine wahre Aussage wird in einer logischen Schaltung als **H-Pegel** (logisch 1) dargestellt. Trifft diese Aussage nicht zu - wenn die Sonne also in Wirklichkeit nicht scheint -, ist sie **falsch**.

In einer elektronischen Schaltung entspricht das einem **L-Pegel**, also logisch 0.

Dasselbe gilt für die zweite Aussage „**Ich mähe den Rasen.**“. Trifft diese Aussage tatsächlich zu, dann ist sie **wahr**. Eine wahre Aussage wird in einer logischen Schaltung als **H-Pegel** (logisch 1) dargestellt. Trifft diese Aussage nicht zu - wenn ich den Rasen also in Wirklichkeit nicht mähe -, ist sie **falsch**.

In einer elektronischen Schaltung entspricht das einem **L-Pegel**, also logisch 0.

„Wenn, dann“

Zuordnung der beiden Aussagen zum ursprünglichen Satz

Aussage 1: Die Sonne scheint. Aussage 2: Ich mähe den Rasen.

Beziehung zwischen den beiden Aussagen: Wenn die Sonne scheint, dann mähe ich den Rasen.

Die Sonne scheint. Ich mähe den Rasen.

Aussage 1 Aussage 2

Aussage 1 Aussage 2

wahr	wahr
falsch	falsch



H	H
L	L



1	1
0	0

Aus dem Satz „**Wenn** die Sonne scheint, **dann** mähe ich den Rasen.“ ergibt sich folgende Beziehung: Wenn die **Aussage 1 zutrifft**, also **wahr** ist, dann **trifft auch Aussage 2 zu**, ist also ebenfalls **wahr**. Ist die **Aussage 1 falsch**, dann ist auch **Aussage 2 falsch**. „**Wenn, dann**“ bestimmt also die Art der Zuordnung.

Digitaltechnik mit der Taschenlampe

Bereits beim einfachen **Stromkreis**, wie dies bei einer normalen Taschenlampe der Fall ist, handelt es sich um eine Anwendung der Grundlagen der Digitaltechnik.

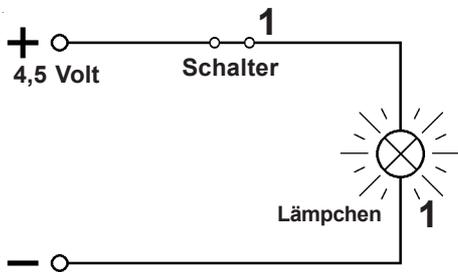
Bei einer üblichen Taschenlampe besteht der Stromkreis aus einer **Batterie** mit 4,5 Volt, aus einem **Schalter** und aus einem **Lämpchen**. Die leitende Verbindung (**Verdrahtung**) zwischen den einzelnen Teilen ist üblicherweise das Gehäuse selbst.

Die **Logik** einer derartigen Schaltung ist ausgesprochen einfach.

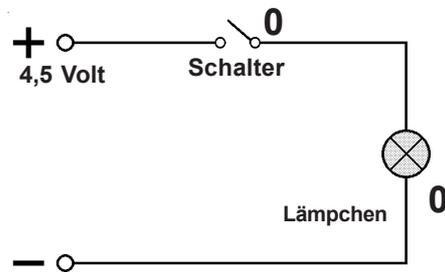


Wenn der Schalter geschlossen ist, dann leuchtet das Lämpchen.

Schaltplan einer Taschenlampe
Schalter geschlossen ... Das Lämpchen leuchtet.



Schaltplan einer Taschenlampe
Schalter offen ... Das Lämpchen leuchtet nicht.



Eingabe Verarbeitung Ausgabe

Die beiden Schaltpläne zeigen die Bauelemente einer üblichen Taschenlampe (Stromversorgung, Schalter, Lämpchen) und ihre Verdrahtung. Für die Funktion einer Schaltung sind im **einfachen Stromkreis** genau diese Bauelemente notwendig.

Bei der Betrachtung der logischen Zusammenhänge

in einer Schaltung wird die Stromversorgung nicht extra behandelt, da sie eine grundsätzliche Voraussetzung für jede elektronische Schaltung ist.

Für das Verständnis der **Funktion** der Schaltung einer Taschenlampe verbleiben daher die 3 Elemente **Schalter, Lämpchen und Verdrahtung**.

Eingabe Schalter

Um die Taschenlampe ein- und ausschalten zu können, benötigt man ein Bauelement als **Eingabe**, mit dem dies ermöglicht werden kann. Das ist der **Schalter**. Der Schalter kann entweder geschlossen (logisch **1**) oder offen (logisch **0**) sein.

Verarbeitung Logik

Die Verarbeitung ist die Verbindung zwischen Eingabe und Ausgabe; bei der Taschenlampe also die **Art der Verdrahtung (= Logik)**. Eingabe und Ausgabe werden in der Verarbeitung logisch verbunden, also einander sinnvoll zugeordnet.

Ausgabe Lämpchen

An der Ausgabe steht die verarbeitete Information zur Verfügung. Bei einer Taschenlampe ist die Ausgabe ein Lämpchen. Entweder das **Lämpchen** leuchtet (logisch **1**) oder es leuchtet nicht (logisch **0**).

Schalter geschlossen Lämpchen leuchtet

wahr	wahr
falsch	falsch



Schalter Lämpchen

1	1
0	0

Wahrheitstabelle

In den **Spalten** (senkrecht) werden die möglichen Zustände (1 und 0) angegeben.

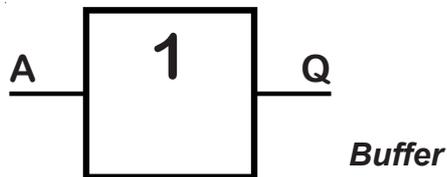
In den **Zeilen** (waagrecht) werden die Zustände einander logisch zugeordnet (**1 - 1, 0 - 0**).

Daraus ergibt sich die **Wahrheitstabelle**, die der **Funktion der Schaltung** entspricht.

Die einfache Logik einer Taschenlampe wird als **Tabelle** (Spalten und Zeilen) dargestellt, in der die **Zustände von Schalter und Lämpchen** symbolisch mit logisch 1 oder 0 dargestellt werden.

Gatter Die logische Verknüpfung

Schaltzeichen eines logischen Gatters



Eingabe ... Verarbeitung ... Ausgabe

In der Digitaltechnik wird die Verbindung von Eingabe, Verarbeitung und Ausgabe wie in der Elektronik üblich als **Schaltzeichen** dargestellt. Das Schaltzeichen stellt die **logische Verknüpfung (Funktion)** dar und wird als logisches **Gatter** bezeichnet.

Die **Eingänge** eines Gatters werden je nach ihrer Anzahl mit den Buchstaben **A, B, C, D, ...** bezeichnet, der **Ausgang** mit **Q**, ein eventuell vorhandener invertierter Ausgang mit \bar{Q} (= Q nicht). Für die Ein- bzw. Ausgänge gibt es auch andere Bezeichnungen; z.B. können die Eingänge auch mit E1, E2, ... gekennzeichnet werden und der Ausgang mit A, X, Beim abgebildeten **Schaltzeichen** handelt es sich um die einfachste Form einer logischen Funktion mit nur einem **Eingang A (Eingabe)** und einem **Ausgang Q (Ausgabe)**; es wird als **Buffer** (Schaltverstärker) bezeichnet. Beim Buffer entspricht die Information, die am Eingang anliegt, der Information am Ausgang. Dies zeigt auch die **Wahrheitstabelle**. Der Buffer als Gatter ist in der Digitaltechnik von untergeordneter Bedeutung, da in der Praxis jeder normale Leiter dieselbe Funktion erfüllt.

Im **Schaltzeichen** selbst wird die Art der in diesem Gatter verwendeten Logikfunktion (Buffer, NOT, AND, NAND, OR, NOR, EXOR, EXNOR) angegeben.

Wahrheitstabelle einer Taschenlampe

A	Q
0	0
1	1

Die Wahrheitstabelle informiert vollständig über die **logische Funktion** eines Gatters.

Eingang A (Schalter) und **Ausgang Q** (Lämpchen) sind senkrecht mit allen in der Digitaltechnik möglichen Zuständen (0 und 1) angegeben. Die **Zuordnung** der logischen Zustände zueinander, also waagrecht in den Zeilen, beschreibt die logische Funktion.

In der **Praxis**, besonders bei umfangreichen Tabellen, wird wie oben bei den Eingängen (A, B, C, ...) in der ersten Zeile der Tabelle mit der kleineren Ziffer - also mit 0 - zu schreiben begonnen.

Funktionsgleichung

$$Q = A$$

Die logische Funktion eines Gatters kann auch als Funktionsgleichung, die der **Wahrheitstabelle** entspricht, angegeben werden. Die möglichen Variablen einer derartigen Gleichung sind 0 und 1. Es gilt: Wenn A = 1, dann Q = 1; wenn A = 0, dann Q = 0.

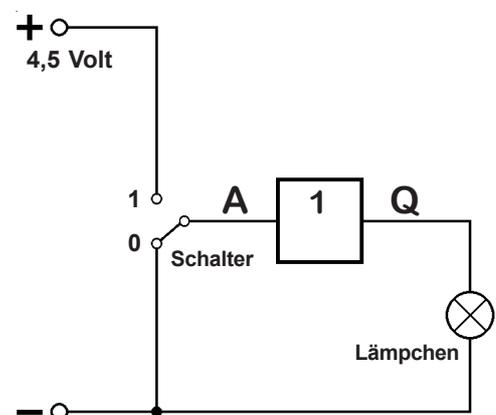
Logische Probleme werden oft mathematisch in der **Schaltalgebra mit Funktionsgleichungen** gelöst.

Prinzipschaltung einer Taschenlampe

Mittels der Prinzipschaltung einer Taschenlampe mit einem logischen Gatter (Buffer) kann man den Zusammenhang mit Wahrheitstabelle und Funktionsgleichung deutlich erkennen.

Funktion der Schaltung: Befindet sich der Schalter in Position 1 (4,5 Volt), so liegt der Eingang A an einer Spannung von 4,5 Volt (logisch 1). Laut **Wahrheitstabelle** liegt dann auch am Ausgang Q eine Spannung von 4,5 Volt und das Lämpchen leuchtet. Befindet sich der Schalter in Position 0 (0 Volt), so liegt auch am Eingang A eine Spannung von 0 Volt (logisch 0) an. Der Ausgang Q hat dann ebenfalls 0 Volt und das Lämpchen ist dunkel.

Hinweis: Während bei einer Taschenlampe der Schalter im ausgeschalteten Zustand einfach offen ist, darf dies bei einem logischen Gatter nicht der Fall sein. Am Eingang muss immer eine definierte Spannung anliegen, entweder logisch 0 (0 Volt) oder logisch 1 (hier 4,5 Volt).



Verneinung ... Die Logik des Inverters

Bei der logischen **Verneinung** (Negation) wird die Digitaltechnik in ihrer einfachsten Form angewandt. Die Negation ist am folgenden lebenspraktischen Beispiel einfach nachzuvollziehen: **Wenn es regnet, dann gehe ich nicht spazieren.** Das bedeutet: Wenn eine **Aussage zutrifft**, dann trifft die andere Aussage **nicht** zu. Natürlich ist auch die Umkehrung dieser Zuordnung möglich: Wenn es **nicht** regnet, dann gehe ich spazieren. Im Falle der Verneinung sind also genau zwei logische Zuordnungen denkbar. Das drückt sich auch in der Wahrheitstabelle aus.

Das logische Gatter, das die Verneinung in der Digitaltechnik verwirklicht, bezeichnet man als **NOT-Gatter** oder als **Inverter**. Man spricht auch von der **NICHT-Funktion**.



Wenn es regnet, dann gehe ich **nicht** spazieren.

Wahrheitstabelle einer Negation

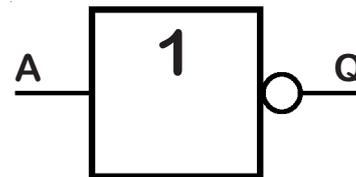
A	Q
0	1
1	0

Die Wahrheitstabelle gibt Auskunft über die Logik einer Verneinung, indem **Eingang A** und **Ausgang Q** einander zugeordnet werden. Das **Signal** zwischen Ein- und Ausgang wird **invertiert**, sodass nur die beiden Kombinationen **0 - 1** und **1 - 0** möglich sind.

Wenn nicht, dann : 0 - 1
 Wenn, dann nicht : 1 - 0

Im **Schaltzeichen** ist die **Negation** - also die Verneinung - durch einen kleinen Kreis am Ausgang gekennzeichnet. Dies besagt, dass an der Ausgabe Q immer der entgegengesetzte Pegel zur Eingabe A liegt (**0 - 1, 1 - 0**).

Schaltzeichen eines NOT-Gatters



Eingabe ... Verarbeitung ... Ausgabe
 Eingang Logik Ausgang

In der **Funktionsgleichung** wird die Negation als ein Strich über dem Eingang A angegeben.

Funktionsgleichung

$$Q = \bar{A}$$

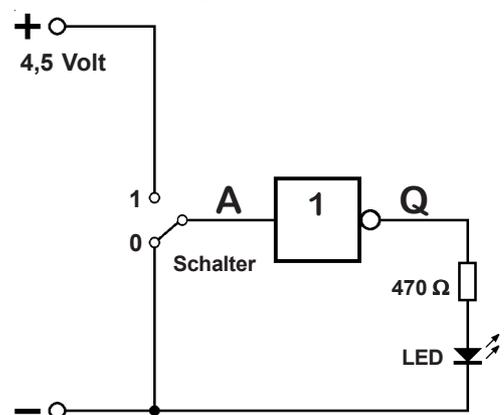
Prinzipschaltung eines Inverters ... die Negation

Die Funktion eines Inverters wird **im Prinzip** wie in der abgebildeten Schaltung in die Digitaltechnik umgesetzt. Eine leuchtende LED besagt, dass am Ausgang der Schaltung logisch 1 anliegt; ist die LED jedoch dunkel, bedeutet das logisch 0.

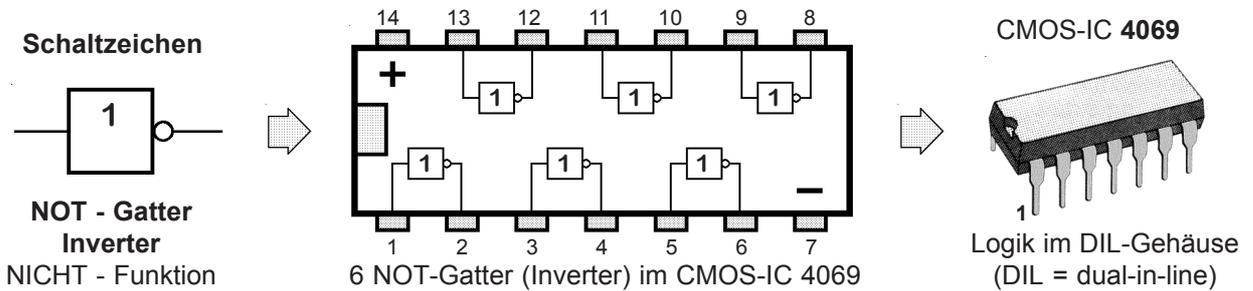
Funktion der Schaltung:

Befindet sich der Schalter in Position 0, so liegt am Eingang des Gatters L-Pegel (**logisch 0**). Das NOT-Gatter invertiert den logischen Pegel, sodass am Ausgang daher H-Pegel (**logisch 1**) liegt. Die Leuchtdiode leuchtet.

Befindet sich der Schalter in Position 1, wechselt der Eingang auf H-Pegel (**logisch 1**). Dieser Pegel wird durch das NOT-Gatter invertiert. Der Ausgang hat somit L-Pegel (**logisch 0**) und die Leuchtdiode ist dunkel.



Gatter ... Der technische Hintergrund



Logische Schaltkreise werden, wie andere elektronische Bauelemente auch, in **genormten Gehäusen** untergebracht, wobei sich in einem einzelnen Gehäuse meistens **mehrere Gatter** befinden. Diese Zusammenfassung mehrerer Gatter bzw. Bauelemente in einem Gehäuse bezeichnet man als **Integrierten Schaltkreis (IC)**.
So enthält z.B. das CMOS-IC 4069 insgesamt 6 NOT-Gatter, deren Ein- und Ausgänge an den einzelnen

Anschlüssen (Pin) des Gehäuses herausgeführt werden. An Pin 7 und Pin 14 liegt die Stromversorgung für das gesamte IC.
Für die verschiedenen Arten von ICs (analog, digital) gibt es umfangreiche **Datenbücher**, in denen die Schaltkreise beschrieben sind. Bei digitalen ICs wird die Art der logischen Gatter mit ihren Zuordnungen zu den Anschlüssen in Form von Abbildungen angegeben.

Innerer Aufbau eines NOT-Gatters

Für die Praxis spielt der innere Aufbau eines Gatters eine untergeordnete Rolle. Der Entwickler einer Schaltung kann auf Grund der Daten, die für die Ein- und Ausgänge logischer Gatter gelten, mit den ICs arbei-

ten. Die Logik selbst ist ohnehin klar definiert. Die folgende Beschreibung des inneren Aufbaus eines Gatters soll zeigen, wie eng der **Zusammenhang** zwischen der Logik und ihrer materiellen Umsetzung ist.

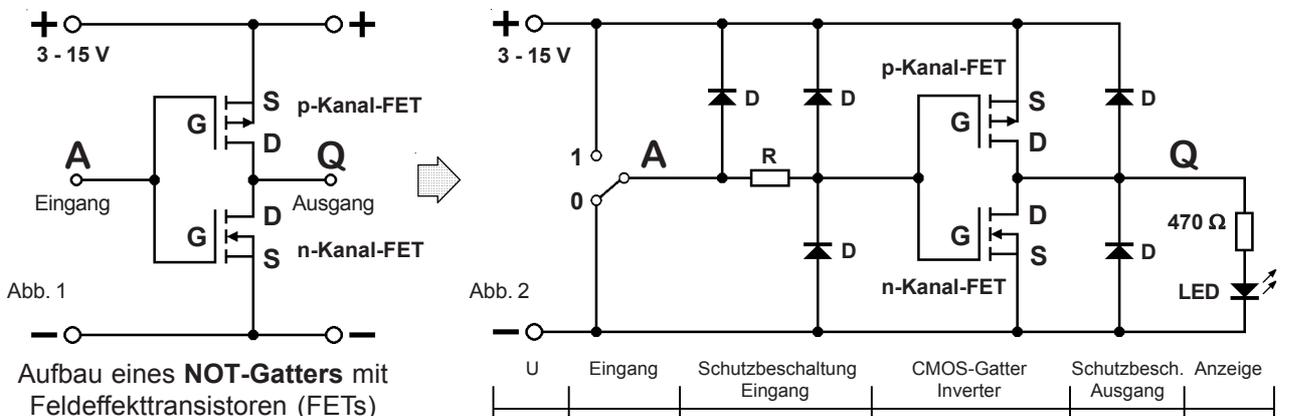


Abb. 1

Aufbau eines NOT-Gatters mit Feldeffekttransistoren (FETs)

Abb. 2

U Eingang Schutzbeschaltung Eingang CMOS-Gatter Inverter Schutzbesch. Ausgang Anzeige

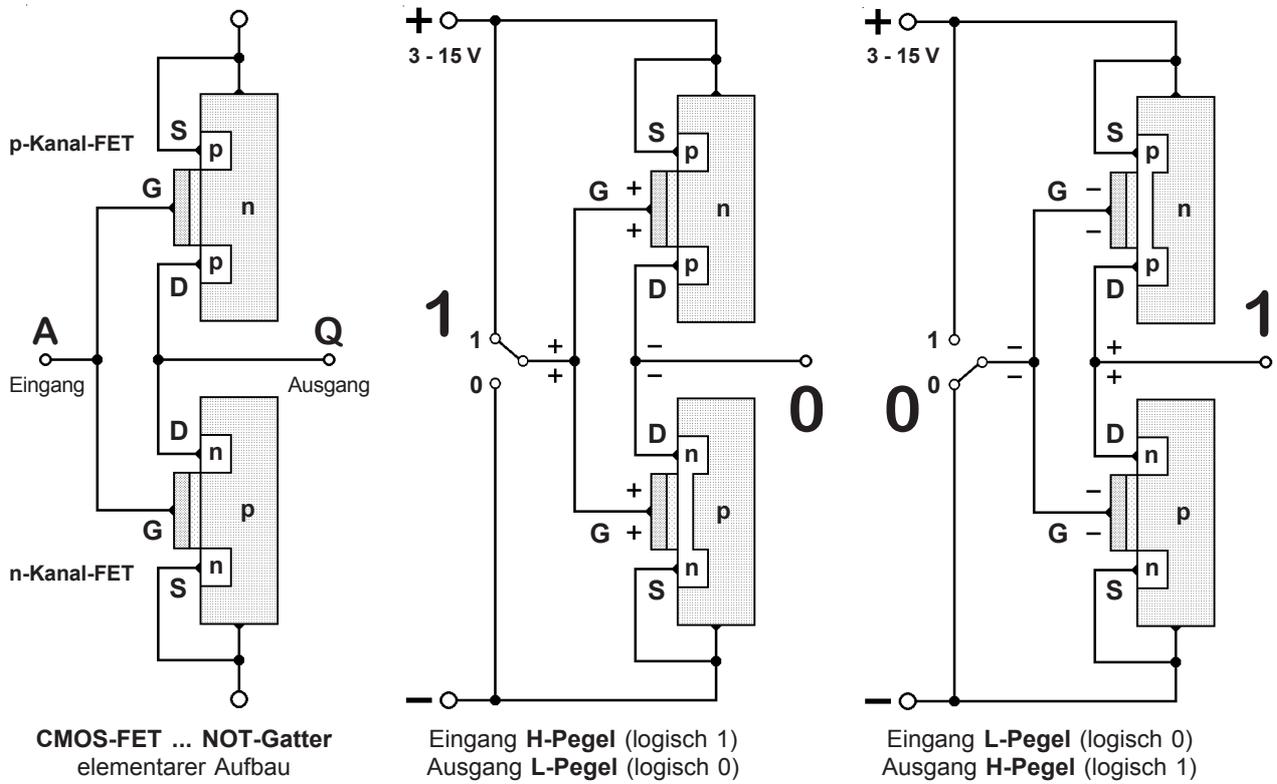
Bezeichnung der **Anschlüsse** eines FET
G = gate = Tor
S = source = Quelle
D = drain = Abfluss

Die **Abbildung 1** zeigt das Grundprinzip eines **CMOS-Gatters**, aufgebaut aus **2 Feldeffekttransistoren**. Der entscheidende Vorteil von FETs gegenüber normalen bipolaren Transistoren ist, dass sie praktisch leistungslos angesteuert werden; d.h., sie benötigen **keinen Steuerstrom**, sondern nur eine Steuerungspannung. Die Verlustleistung eines einzelnen Gat-

ters liegt im statischen Betrieb mit 5 Volt bei nur **2,5 Nano-Watt**. Ein enormer Vorteil dieser Transistoren ist daher ihr **äusserst geringer Leistungsbedarf** und der **enorm hohe Eingangswiderstand**, der ein problemloses Zusammenschalten einer grossen Anzahl von Gattern erlaubt.

Um die hochohmigen Eingänge bzw. die Ausgänge vor Zerstörung zu schützen, benötigt jedes logische Gatter eine **Schutzbeschaltung** (**Abb. 2**), die je nach IC-Hersteller unterschiedlich sein kann. Auch diese Bauelemente (Dioden, Widerstände) sind bereits im IC-Gehäuse voll integriert.

CMOS - FET ... Aufbau und Funktion eines NOT-Gatters



Wie ein **NOT-Gatter** als **Halbleiter** aufgebaut wird, zeigt die obige Abbildung eines CMOS-FET.

H-Pegel am Gate des n-Kanal-FET

Legt man bei einem **n-Kanal-FET** eine positive Spannung zwischen Gate und Source, fließt kein Strom in das Gate, sondern es bildet sich **unter dem Gate**, wie bei einem Kondensator, ein **elektrisches Feld**. Dieses Feld bewirkt, dass sich zwischen den sonst getrennten n-dotierten Anschlüssen Drain und Source ein **leitender Kanal** im p-dotierten Silizium bildet. Ein **n-Kanal-FET** steuert also durch, wenn eine **positive Gate-Spannung** (H-Pegel, logisch 1) anliegt.

L-Pegel am Gate des n-Kanal-FET

Liegt am **Gate** dagegen ein **L-Pegel** (logisch 0), so verschwindet das elektrische Feld und der **Transistor sperrt** zwischen Drain und Source. Aus diesem Grund bezeichnet man diesen FET-Typ, der in digitalen ICs verwendet wird, als **selbstsperrend** bzw. als **Anreicherungstyp**.

p-Kanal-FET

Vom selben Typ, aber bezüglich der Halbleiterdotierung umgekehrt gepolt, ist der **p-Kanal-FET**, der mit dem n-Kanal-FET in Reihe geschaltet ist. Der **p-Kanal-FET leitet**, wenn er mit einem **L-Pegel** (logisch 0) am Gate angesteuert wird; er **sperrt**, wenn ein **H-Pegel** (logisch 1) am Gate anliegt.

Inverter, aufgebaut mit CMOS-FET

Beim Inverter werden **2 komplementäre FET** (n-Typ und p-Typ) wie oben abgebildet **in Reihe** geschaltet (C-MOS ... **C** = complementary = komplementär). Es werden beide **Gate-Anschlüsse** und beide **Drain-Anschlüsse** miteinander verbunden. Auf Grund dieser Anordnung leitet jeweils nur ein Transistor, der andere sperrt. Das genau ist der Grund für das **invertierende Verhalten (1 - 0, 0 - 1)** dieser Transistoranordnung. Die **Wahrheitstabelle** ist somit auf der Halbleiterebene nachvollziehbar.

MOS-Technologie

Das übliche Verfahren zur Herstellung von FETs ist die MOS-Technologie. **MOS** bedeutet **metal-oxid-semiconductor** (Metall-Oxid-Halbleiter) und beschreibt den Aufbau des FET. Drain, Source und Trägermaterial bestehen aus dotiertem Halbleitermaterial. Unter dem Gate-Anschluss, der zumeist aus Aluminium (metal) besteht, befindet sich eine **isolierende Siliziumoxidschicht**, die für den enorm hohen Eingangswiderstand von etwa 10^{15} Ohm verantwortlich ist. Die komplementäre Anordnung und der hohe Eingangswiderstand bewirken, dass die logische NOT-Funktion aus nur 2 Transistoren aufgebaut werden kann. Die weiteren Bauelemente eines Gatters haben lediglich Schutzfunktion.

UND - Funktion ... digitale Sicherheit

Mit der Digitaltechnik werden **realistische Aufgabenstellungen elektronisch gelöst**. Ein typisches Beispiel dafür ist, dass ein **Safe** nur dann geöffnet werden kann, wenn **beide Schlüssel** vorhanden sind.



Schlüssel A



Der Safe kann nicht geöffnet werden, wenn nur einer der beiden Schlüssel oder überhaupt kein Schlüssel vorhanden ist. Die Digitaltechnik löst dieses Problem **nicht mechanisch**, sondern mit der **UND-Funktion**.



Schlüssel B

Wenn **beide** Schlüssel vorhanden sind, dann kann der Safe geöffnet werden.

Wahrheitstabelle

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

Lösung der Aufgabenstellung

Die praktische Aufgabenstellung, dass ein Safe nur mit 2 gleichzeitig vorhandenen Schlüsseln (A und B) geöffnet werden kann, zeigt die Wahrheitstabelle.

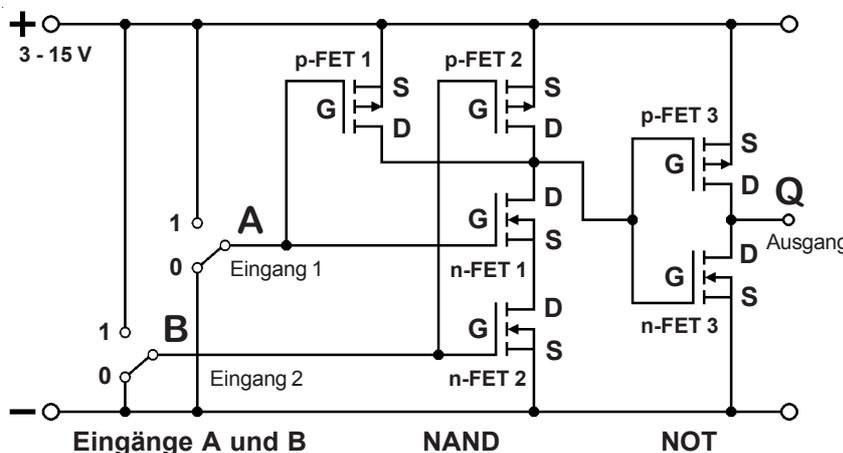
Logisch 0 steht für „**Schlüssel nicht vorhanden**“.
Logisch 1 steht für „**Schlüssel vorhanden**“.

Laut Tabelle gibt es also nur eine einzige Lösungsmöglichkeit zum **Öffnen des Safes (Q = logisch 1)**; ... wenn **beide Schlüssel (A und B)** vorhanden sind.



Innerer Aufbau eines UND-Gatters

Das UND-Gatter setzt sich aus **2 Teilen** zusammen. Der erste Teil ist ein **NAND** (UND NICHT), der zweite Teil ein **NOT**-Gatter (NICHT), welches den invertierten Ausgang des NAND noch einmal invertiert und damit die Negation aufhebt (doppelte Verneinung = UND NICHT NICHT = UND). Das Ergebnis ist ein **UND-Gatter** (AND), das den waagrechten Zuordnungen in der Wahrheitstabelle entspricht.

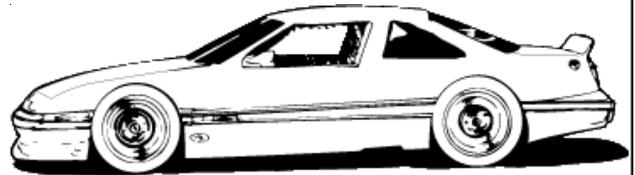


Jede Zeile der Wahrheitstabelle lässt sich mit dem Sperren bzw. Leiten der FET-Transistoren erklären.

Liegt an beiden Eingängen **A und B** logisch **1**, so leiten n-FET 1, n-FET 2 und p-FET 3; p-FET 1, p-FET 2 und n-FET 3 sperren; am Ausgang liegt dann ebenfalls logisch **1**.

Liegt jedoch an **A** oder **B** oder an **beiden** Eingängen logisch **0**, dann sperren n-FET 1 oder n-FET 2 oder auch beide n-FET, jedoch p-FET 1 oder p-FET 2 oder beide p-FET leiten. Deshalb leitet auch n-FET 3 und p-FET 3 sperrt; am Ausgang Q liegt logisch **0**.

ODER NICHT - Funktion ... NOR-Gatter



Kommt ein Auto von links **oder** von rechts, dann darf man **nicht** über die Strasse gehen.

Digitale Lösungen sind immer eindeutig und man muss sich darauf verlassen können. Dabei ist es ganz besonders wichtig, dass die Realität auch richtig in die digitale Logik umgesetzt wird, wie dies bei diesem Beispiel der Fall ist. Man darf die Strasse näm-

lich nicht nur dann nicht überqueren, wenn ein Auto entweder von links oder von rechts kommt, sondern auch dann nicht, wenn von beiden Seiten ein Auto kommt. Die sichere Lösung für diese Aufgabenstellung wird in der Wahrheitstabelle dargestellt.

Wahrheitstabelle

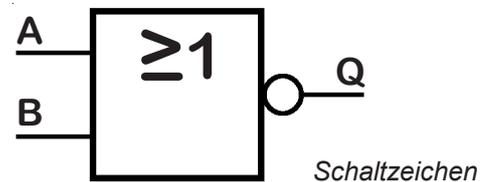
A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

Lösung der Aufgabenstellung

Aus der Wahrheitstabelle ist ersichtlich, dass es nur eine einzige Möglichkeit Q gibt, die Strasse zu überqueren; genau dann, wenn kein Auto (A, B) kommt.

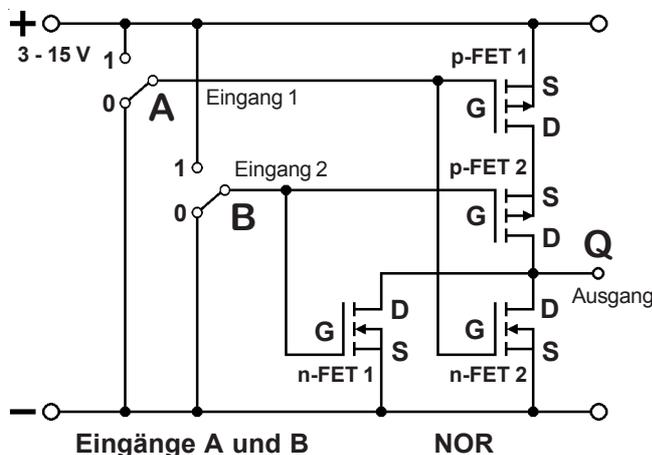
Logisch 0 steht für „Ein Auto kommt nicht.“
Logisch 1 steht für „Ein Auto kommt.“

Kommt kein Auto, wenn also **A logisch 0** ist und gleichzeitig auch **B logisch 0**, dann darf man die Strasse überqueren (**Q = logisch 1**).



Innerer Aufbau eines ODER NICHT - Gatters

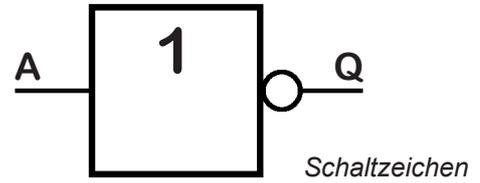
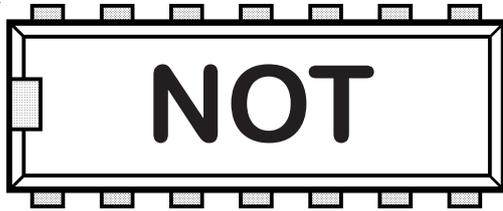
Das NOR-Gatter ist relativ einfach aufgebaut. Um die ODER NICHT - Funktion bilden zu können, genügen 4 FET-Transistoren, wobei 2 p-Kanal-FET in Reihe geschaltet sind und 2 n-Kanal-FET parallel. Eingang 1 (A) und Eingang 2 (B) des logischen Gatters sind völlig gleichwertig und könnten auch vertauscht werden. Pro Eingang sind jeweils ein n-FET und ein p-FET am Gate verbunden.



Liegt am **Eingang A** logisch 0, so leitet p-FET 1, gleichzeitig sperrt n-FET 2. Liegt auch am **Eingang B** logisch 0, leitet p-FET 2 und n-FET 1 sperrt. Da p-FET 1 und p-FET 2 gleichzeitig leiten und n-FET 1 und n-FET 2 sperren, liegt am **Ausgang Q** logisch 1. Diese logische Zuordnung wird in Zeile 1 der Wahrheitstabelle mit den logischen Pegeln 0 - 0 - 1 dargestellt.

Liegt jedoch z.B. am **Eingang A** logisch 1, leitet n-FET 2 und p-FET 1 sperrt. Der logische Pegel am **Eingang B** spielt dann keine Rolle, da n-FET 1 und n-FET 2 parallel und p-FET 1 und p-FET 2 in Reihe geschaltet sind. Der **Ausgang Q** ist daher auf jeden Fall logisch 0. Dasselbe gilt, wenn am **Eingang B** logisch 1 liegt. Liegen beide **Eingänge A und B** gleichzeitig auf logisch 1, ergibt dies folglich ebenfalls logisch 0 am **Ausgang Q**.

NOT ... NICHT - Funktion



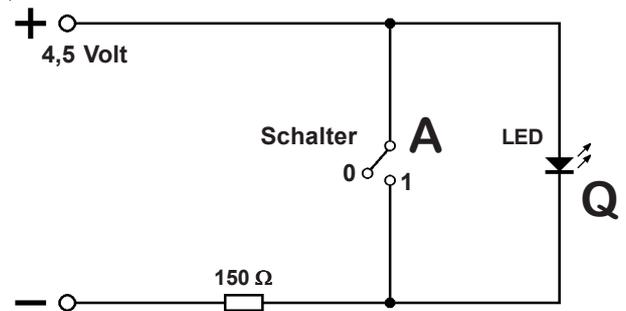
Funktionsgleichung

$$Q = \bar{A}$$

Wahrheitstabelle

A	Q
0	1
1	0

NOT-Gatter Prinzipschaltung

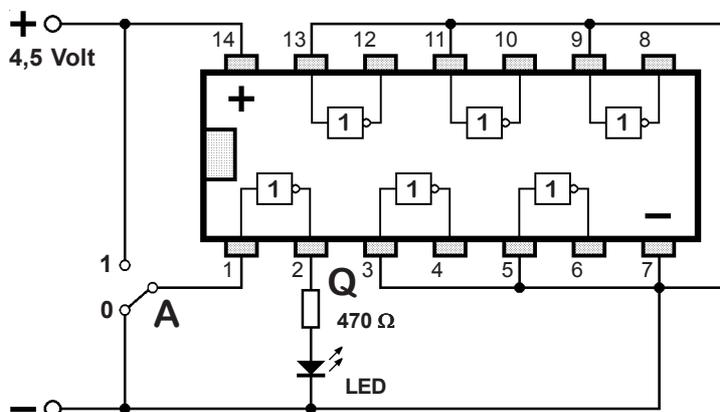


Der **Ausgang Q** ist logisch **1**, wenn der **Eingang A** logisch **0** ist.
 Der **Ausgang Q** ist logisch **0**, wenn der **Eingang A** logisch **1** ist.

Die LED leuchtet (logisch **1**), wenn der Schalter offen (logisch **0**) ist.
 Die LED ist dunkel (logisch **0**), wenn der Schalter geschlossen (logisch **1**) ist.

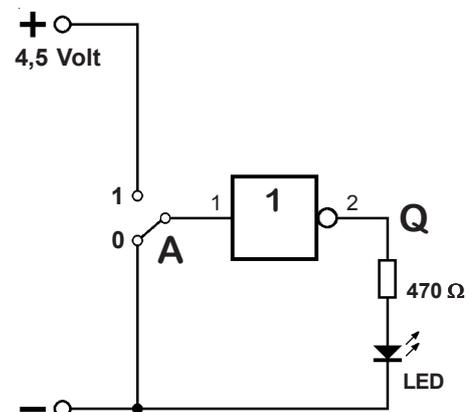
Grundschialtung mit dem CMOS-IC 4069

CMOS-IC 4069 6 NOT-Gatter (Inverter)

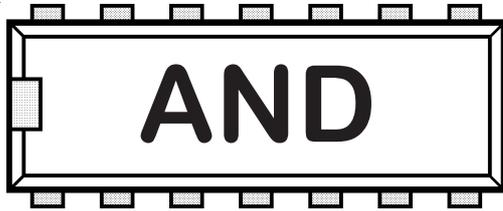


NOT-Gatter ... Schaltplan

CMOS-IC 4069 ... 1 NOT-Gatter



AND ... UND - Funktion



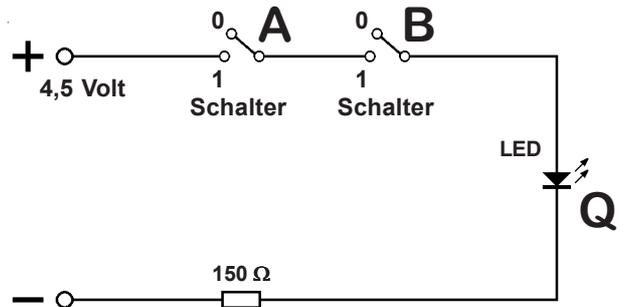
Wahrheitstabelle

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

Funktionsgleichung

$$Q = A \wedge B$$

AND-Gatter Prinzipschaltung

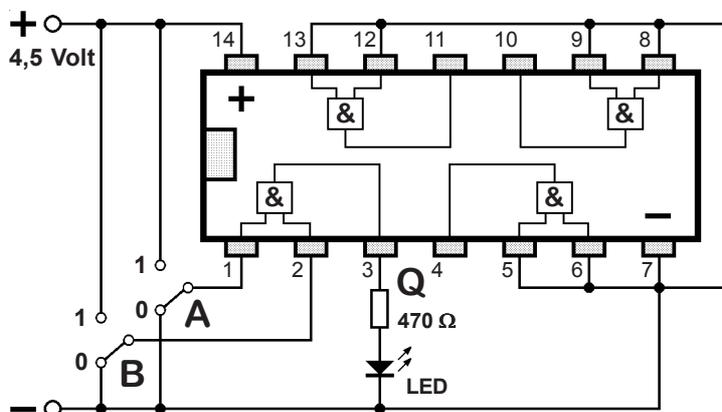


Der **Ausgang Q** ist logisch **0**, wenn mindestens ein **Eingang (A, B)** logisch **0** ist.
 Der **Ausgang Q** ist logisch **1**, wenn beide **Eingänge (A, B)** logisch **1** sind.

Die LED ist dunkel (logisch **0**), wenn mindestens ein Schalter offen (logisch **0**) ist.
 Die LED leuchtet (logisch **1**), wenn beide Schalter geschlossen (logisch **1**) sind.

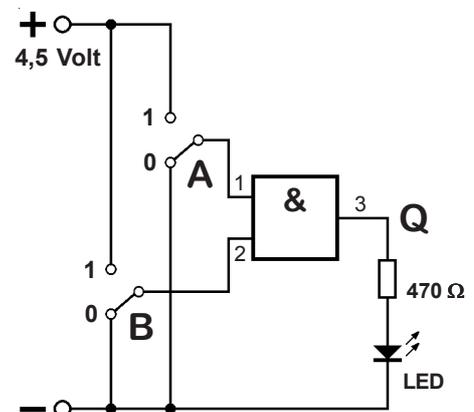
Grundschaltung mit dem CMOS-IC 4081

CMOS-IC 4081 4 AND-Gatter mit je 2 Eingängen

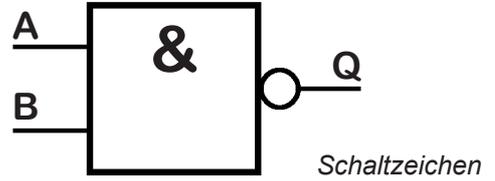
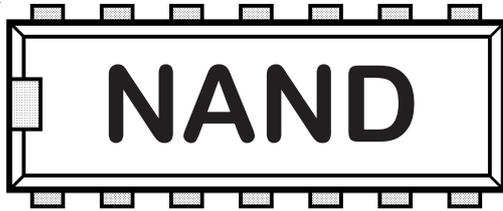


AND-Gatter ... Schaltplan

CMOS-IC 4081 ... 1 AND-Gatter



NAND ... UND-NICHT - Funktion



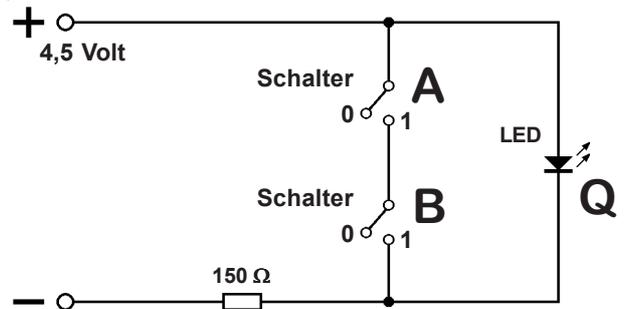
Wahrheitstabelle

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

Funktionsgleichung

$$Q = \overline{A \wedge B}$$

NAND-Gatter Prinzipschaltung

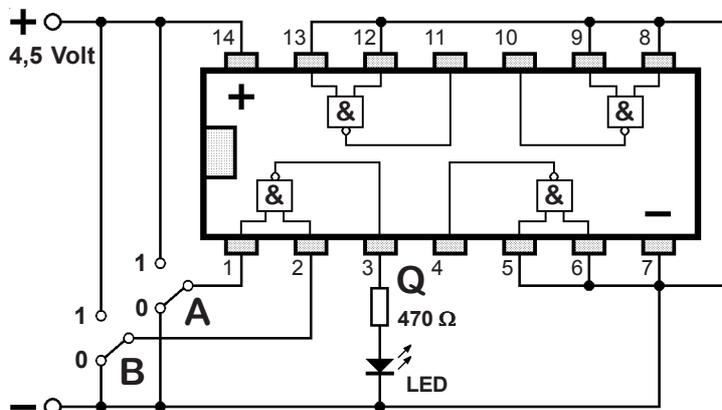


Der **Ausgang Q** ist logisch **1**, wenn mindestens ein **Eingang (A, B)** logisch **0** ist.
 Der **Ausgang Q** ist logisch **0**, wenn beide **Eingänge (A, B)** logisch **1** sind.

Die LED leuchtet (logisch **1**), wenn mindestens ein Schalter offen (logisch **0**) ist.
 Die LED ist dunkel (logisch **0**), wenn beide Schalter geschlossen (logisch **1**) sind.

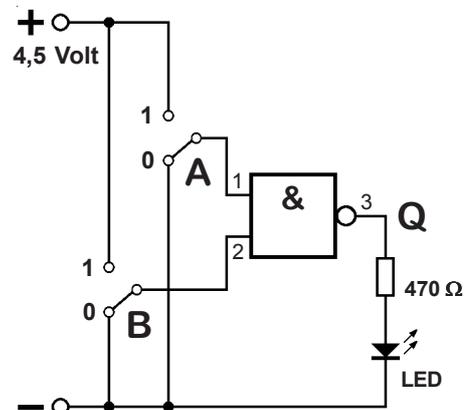
Grundschaltung mit dem CMOS-IC 4011

CMOS-IC 4011 4 NAND-Gatter mit je 2 Eingängen

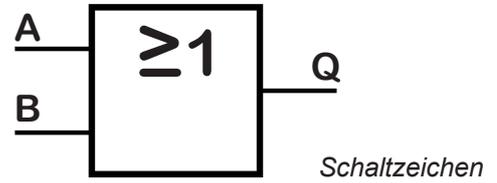
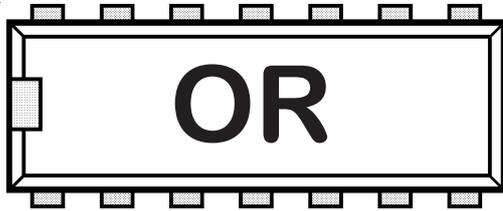


NAND-Gatter ... Schaltplan

CMOS-IC 4011 ... 1 NAND-Gatter



OR ... ODER - Funktion



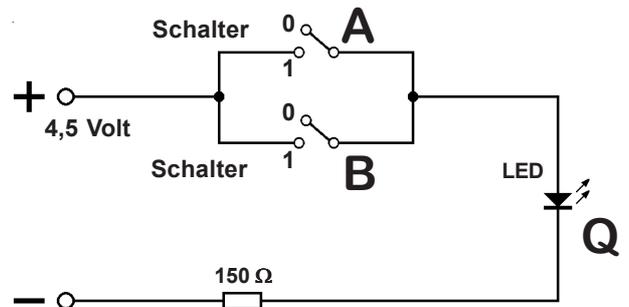
Wahrheitstabelle

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

Funktionsgleichung

$$Q = A \vee B$$

OR-Gatter Prinzipschaltung



Der **Ausgang Q** ist logisch **0**, wenn beide **Eingänge (A, B)** logisch **0** sind.

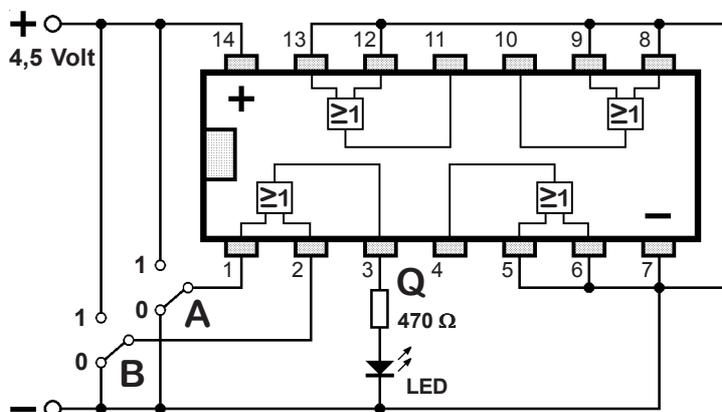
Der **Ausgang Q** ist logisch **1**, wenn mindestens ein **Eingang (A, B)** logisch **1** ist.

Die LED ist dunkel (logisch **0**), wenn beide Schalter offen (logisch **0**) sind.

Die LED leuchtet (logisch **1**), wenn mindestens ein Schalter geschlossen (logisch **1**) ist.

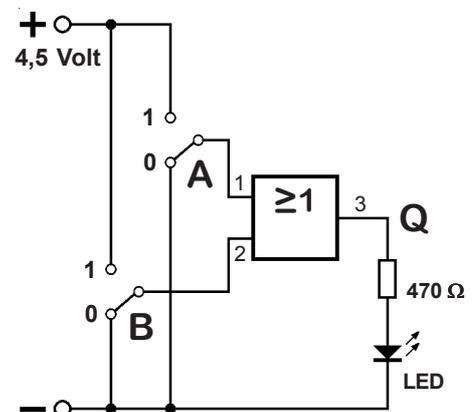
Grundschaltung mit dem CMOS-IC 4071

CMOS-IC 4071 4 OR-Gatter mit je 2 Eingängen

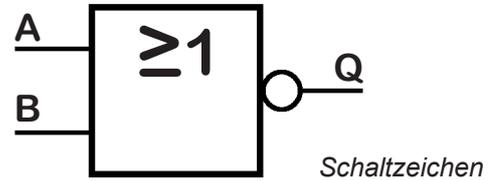
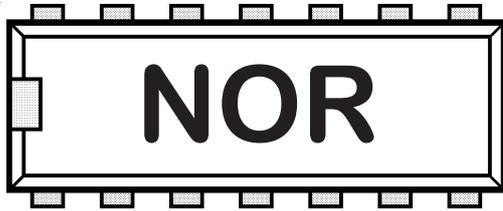


OR-Gatter ... Schaltplan

CMOS-IC 4071 ... 1 OR-Gatter



NOR ... ODER-NICHT - Funktion



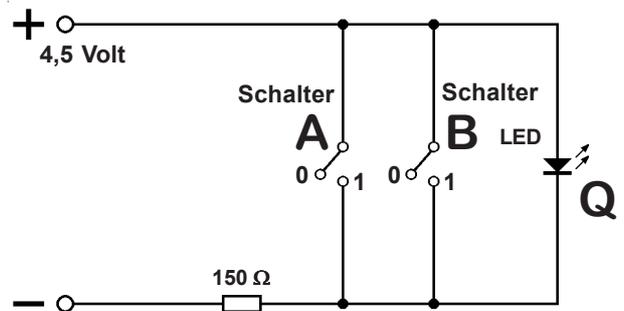
Wahrheitstabelle

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

Funktionsgleichung

$$Q = \overline{A \vee B}$$

NOR-Gatter Prinzipschaltung



Der **Ausgang Q** ist logisch 1, wenn beide **Eingänge (A, B)** logisch 0 sind.

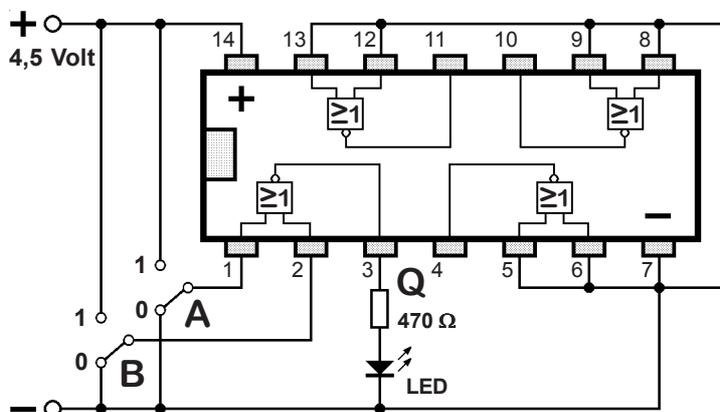
Der **Ausgang Q** ist logisch 0, wenn mindestens ein **Eingang (A, B)** logisch 1 ist.

Die LED leuchtet (logisch 1), wenn beide Schalter offen (logisch 0) sind.

Die LED ist dunkel (logisch 0), wenn mindestens ein Schalter geschlossen (logisch 1) ist.

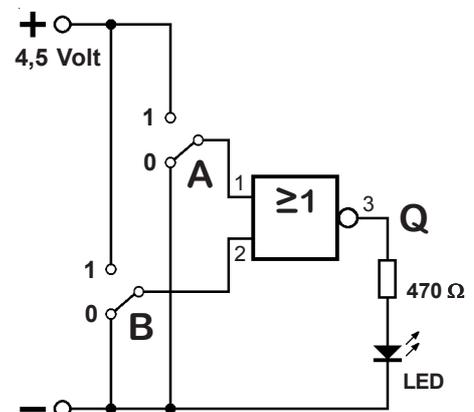
Grundschialtung mit dem CMOS-IC 4001

CMOS-IC 4001 4 NOR-Gatter mit je 2 Eingängen

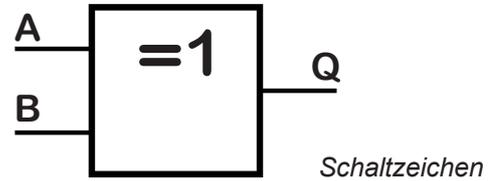
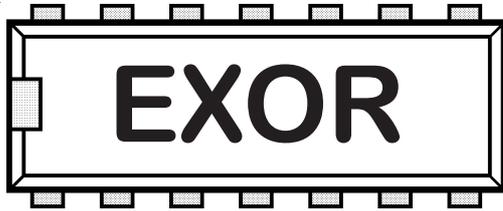


NOR-Gatter ... Schaltplan

CMOS-IC 4001 ... 1 NOR-Gatter



EXOR ... Exklusiv-ODER - Funktion



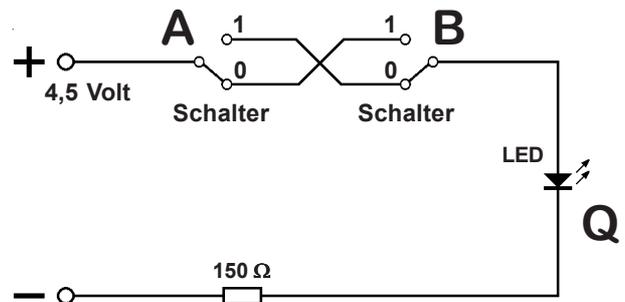
Wahrheitstabelle

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Funktionsgleichung

$$Q = (\bar{A} \wedge B) \vee (A \wedge \bar{B})$$

EXOR-Gatter Prinzipschaltung

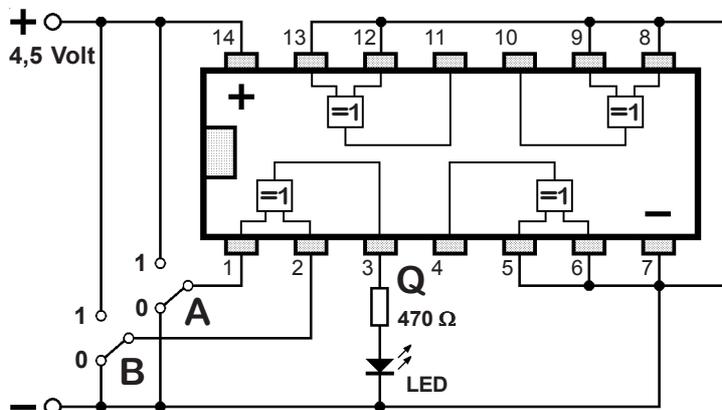


Der **Ausgang Q** ist logisch **0**, wenn beide **Eingänge (A, B)** logisch **gleich** sind.
 Der **Ausgang Q** ist logisch **1**, wenn beide **Eingänge (A, B)** logisch **ungleich** sind.

Die LED ist dunkel (= logisch **0**), wenn beide Schalter gleich (**0 - 0, 1 - 1**) sind.
 Die LED leuchtet (= logisch **1**), wenn beide Schalter verschieden (**0 - 1, 1 - 0**) sind.

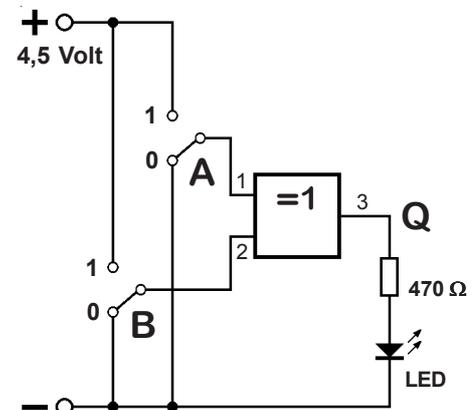
Grundschaltung mit dem CMOS-IC 4030

CMOS-IC 4030 4 EXOR-Gatter mit je 2 Eingängen

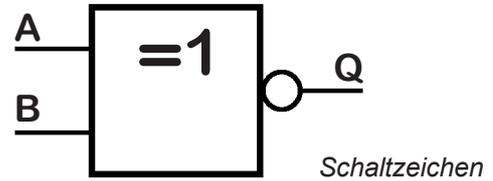
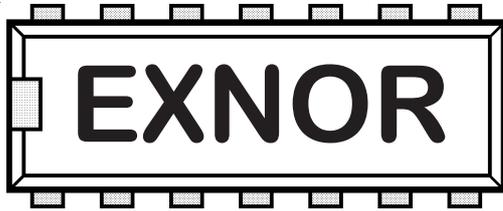


EXOR-Gatter ... Schaltplan

CMOS-IC 4030 ... 1 EXOR-Gatter



EXNOR ... Exklusiv-ODER-NICHT - Funktion



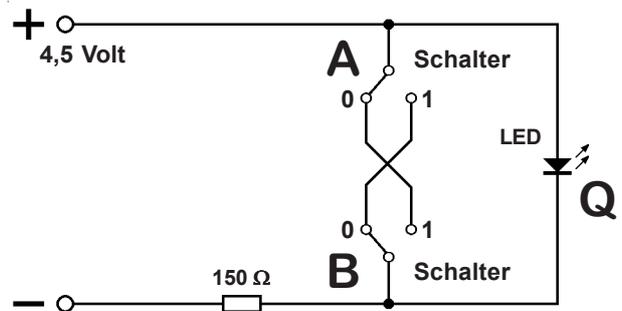
Wahrheitstabelle

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	1

Funktionsgleichung

$$Q = (\bar{A} \wedge \bar{B}) \vee (A \wedge B)$$

EXNOR-Gatter Prinzipschaltung

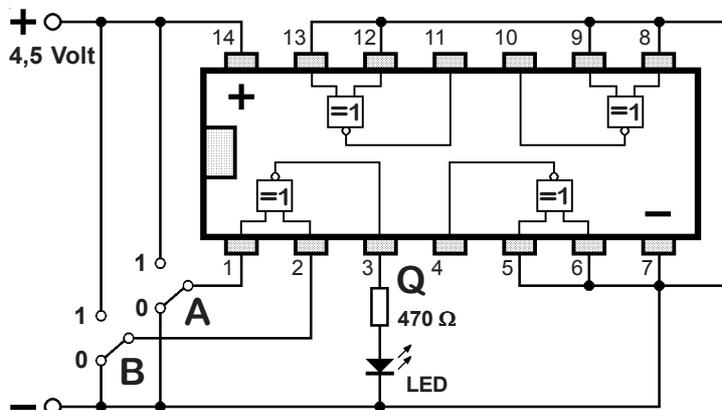


Der **Ausgang Q** ist logisch **1**, wenn beide **Eingänge (A, B)** logisch **gleich** sind.
 Der **Ausgang Q** ist logisch **0**, wenn beide **Eingänge (A, B)** logisch **ungleich** sind.

Die LED leuchtet (= logisch **1**), wenn beide Schalter in gleicher Stellung (**0 - 0, 1 - 1**) sind.
 Die LED ist dunkel (= logisch **0**), wenn beide Schalter verschieden (**0 - 1, 1 - 0**) sind.

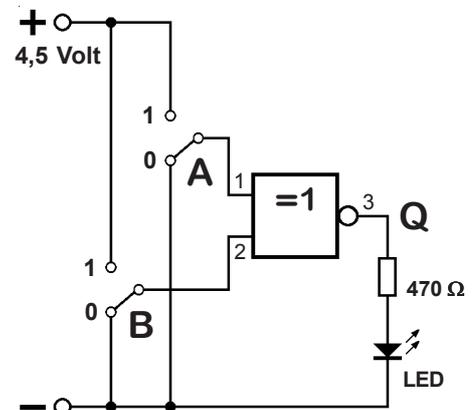
Grundschaltung mit dem CMOS-IC 4077

CMOS-IC 4077 4 EXNOR-Gatter mit je 2 Eingängen



EXNOR-Gatter ... Schaltplan

CMOS-IC 4077 ... 1 EXNOR-Gatter



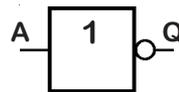
Logische Gatter Übersicht

Die Übersicht über die logischen Gatter, die bei der praktischen Arbeit sehr sinnvoll zu verwenden ist, beinhaltet den **Namen des Gatters**, das **Schaltzeichen** und die **Wahrheitstabelle**. Zusätzlich wurde aus der grossen Zahl der Logik-ICs, die es für einzelne Gatter gibt, ein **gängiger Typ**, der Gatter mit je 2 Eingängen (A, B) besitzt, ausgewählt.

Die logischen Gatter beschränken sich jedoch **nicht nur auf 2 Eingänge**, sondern es gibt ICs, in denen sich Gatter mit **3, 4 oder 8 Eingängen** befinden. Diese weiteren Logik-ICs sind in facheinschlägigen **Datenbüchern** abgebildet.

NOT

NICHT
(Inverter)

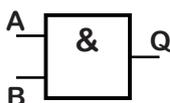


4069

A	Q
0	1
1	0

AND

UND

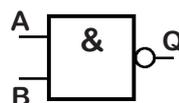


4081

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

NAND

UND-NICHT

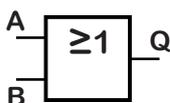


4011

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

OR

ODER

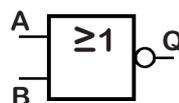


4071

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

NOR

ODER-NICHT

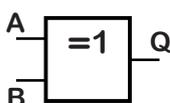


4001

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

EXOR

Exklusiv-ODER

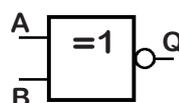


4030

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

EXNOR

Exklusiv-ODER-NICHT



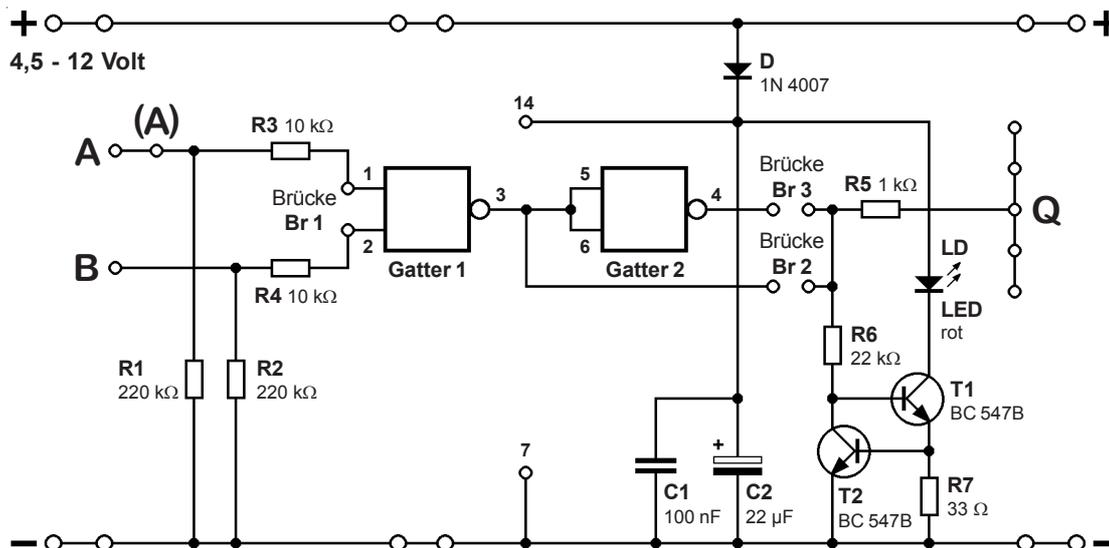
4077

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	1

Logische Gatter ... Universalplatine

Für den experimentellen Aufbau logischer Schaltungen wird eine **Universalplatine** verwendet, deren **Schaltplan** hier abgebildet ist. Der Vorteil dieser Schaltung besteht darin, dass eine einzige Platine

genügt, um **alle logischen Gatter** aufbauen zu können. Dazu sind einige verschiedene preisgünstige CMOS-ICs notwendig und das Setzen der für das jeweilige Gatter notwendigen Brücken.



Funktion der Schaltung

Von den vier in einem IC vorhandenen Gattern werden nur jene zwei, die im Schaltplan zu sehen sind, benötigt. Da bei CMOS-ICs niemals Gattereingänge offen sein dürfen, sind die Eingänge der beiden übrigen Gatter mit dem Minus-Pol der Schaltung verbunden. Die dazu gehörenden Gatter-Ausgänge bleiben jedoch offen.

Die **Diode D** schützt die Schaltung vor einer irrtümlich verkehrt angeschlossenen Betriebsspannung. Die **Kondensatoren C1 und C2** sorgen für eine Entkopplung der Schaltung vor Störungen auf den Stromversorgungsleitungen und damit für ein sicheres Schaltverhalten.

An Pin 7 (MINUS-Pol) und Pin 14 (PLUS-Pol) des ICs liegt die um die Schleusenspannung der Diode D (0,7 V) verminderte Betriebsspannung.

Eingänge und Ausgänge der Gatter

Die beiden **Eingänge von Gatter1** (A und B) werden über die Widerstände **R1** und **R2** mit dem MINUS-Pol der Schaltung verbunden. Damit ist auch dann, wenn die Eingänge nicht beschaltet sind, eine eindeutige Definition der Eingangspegel - nämlich L-Pegel - gegeben. Die Widerstände **R3** und **R4** dienen als zusätzliche Schutzbeschaltung für die beiden Gattereingänge.

Der **Ausgang von Gatter1** kann direkt über den Widerstand **R5** an den **Ausgang der Schaltung Q** geführt werden. Dann wird die **Brücke Br 2 geschlossen** und die **Brücke Br 3 bleibt offen**.

Wichtiger Hinweis: Die Brücken Br 2 und Br 3 dürfen niemals gleichzeitig geschlossen sein.

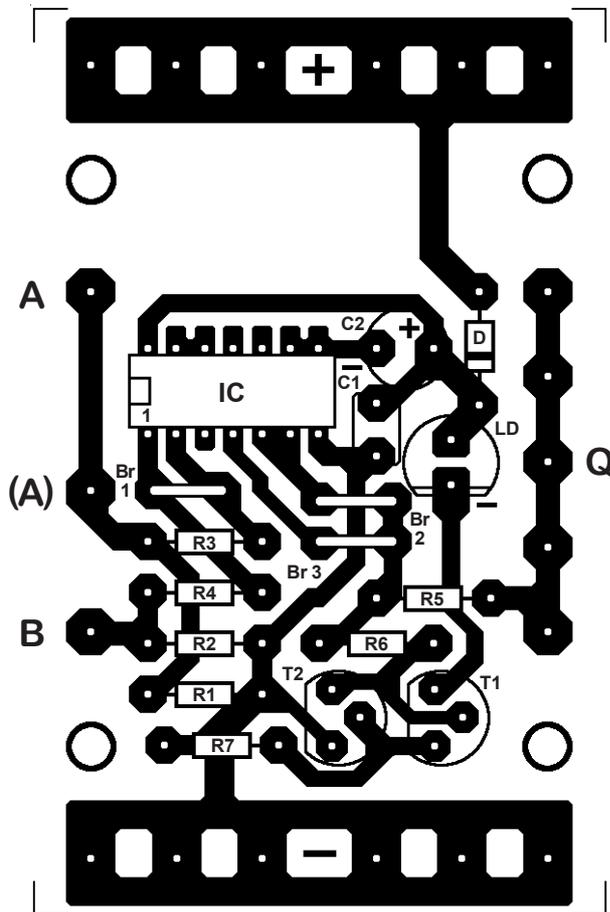
Gatter 2, dessen Eingänge miteinander verbunden sind, dient als reiner **Inverter** (NOT-Gatter) für den Fall, dass man sich den Kauf einiger ICs ersparen möchte. So wird mittels dieses zusätzlich verwendeten Gatters aus einem NAND ein AND, aus einem NOR ein OR und falls benötigt, aus einem NOT ein Buffer. (Bei EXNOR und EXOR funktioniert die Sache nicht, wie ein Blick auf die Wahrheitstabellen zeigt.) Wird also Gatter 2 verwendet, ist die Brücke Br 3 zu schliessen; die Brücke Br 2 bleibt dann natürlich offen.

Die **Brücke Br 1** wird - mit Br 2 oder Br 3 - nur dann geschlossen, wenn man ein **NOT-Gatter** (Inverter) - eventuell einen Buffer - benötigt. Als einziger Eingang wird dann **Eingang (A)** verwendet und Widerstände R2 und R4 fallen weg, da sie nicht notwendig sind.

Der **Widerstand R5** dient allein als Schutzbeschaltung für den Ausgang der Schaltung, sollte dieser irrtümlich mit der Betriebsspannung verbunden werden.

Als **Pegelanzeige** (H, L) am Ausgang wird eine **rote LED** (5 mm, 8 mm, 10 mm) verwendet. Diese wird vom Gatter-Ausgang über R6 von einer **Konstantstromquelle** (T1, T2) angesteuert. Der **LED-Strom** wird mit dem **Widerstand R7** unabhängig von der Betriebsspannung auf etwa **20 mA** festgelegt. Die Leuchtstärke der LED bleibt somit innerhalb eines Betriebsspannungsbereiches von **4,5 - 12 Volt** - nötigenfalls auch bis 15 Volt - konstant. Das ermöglicht einen universellen Einsatz der Schaltung beim Experimentieren.

Bestückungsplan und Platinen-Layout



Bestückungsplan

Der Bestückungsplan ist vergrössert und mit Blick auf die Bauelementeseite der Platine dargestellt. Beim **Einbau der Bauelemente** ist auf die **richtige Polung** entsprechend den Abbildungen (Kondensator C2, Diode D, Transistoren T1 und T2, Leuchtdiode LD) zu achten. Der Integrierte Schaltkreis (IC) und dessen Fassung sind links mit einer Kerbe gekennzeichnet. Für die Leuchtdiode (LD) können Typen mit 5 mm, 8 mm oder auch 10 mm eingesetzt werden, wobei der MINUS-Pol ebenfalls im Bestückungsplan angegeben ist.

Brücken Br1, Br2, Br3:

Es dürfen **nur jene Brücken** eingebaut werden, die in der **Liste der Gatter** vorgesehen sind.

Eingänge A, B, (A):

Beim NOT-Gatter (Inverter) befindet sich nur am Eingang (A) ein Lötstift; bei allen übrigen Gattern nur an den Eingängen A und B. Da Eingang B beim NOT-Gatter nicht verwendet wird, können in diesem Fall die beiden Widerstände R2 und R4 entfallen.

Bauelemente - Stückliste

R1, R2	220 kOhm	D	1N 4007
R3, R4	10 kOhm	LD	LED rot
R5	1 kOhm	T1, T2	BC 547B
R6	22 kOhm	IC-Fassung	...	14-polig
R7	33 Ohm	IC	Siehe Liste!
C1	100 nF	Lötstifte 1mm	18 (19) Stk.	
C2	22 µF	Platine	80 x 50 mm

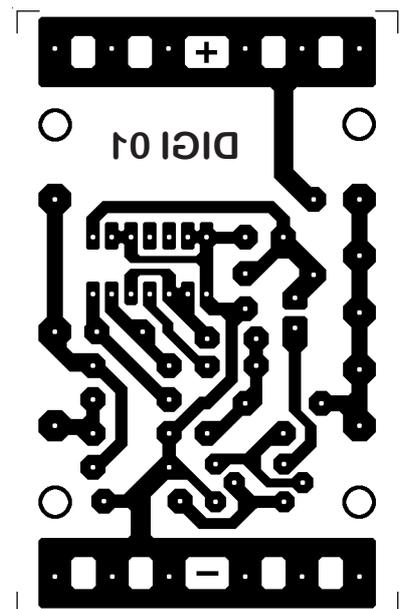
Universal-Platine: Layout 1 : 1 Vorlage für die Fotomethode

Die Vorlage (Layout) der Platine dient für die Fertigung nach der Fotomethode. Die besten Ergebnisse werden erzielt, wenn das Layout 2 mal auf eine temperaturstabile Folie kopiert wird und beide Folien zwecks besserer Lichtdichtheit deckungsgleich verklebt werden. Die Grösse der Platine (80 x 50 mm) ist so gewählt, dass aus einem handelsüblichen Euro-Format (160 x 100 mm) 4 Stück gefertigt werden können.

Die **Bohrungen** in der Platine sollten mit einem neuen **1 mm - Bohrer** durchgeführt werden, insbesondere wegen der eng beieinander liegenden IC-Anschlüsse. Bei den Brücken Br1, Br2 und Br3 und den Eingängen A, B bzw. (A) müssen nur jene Löcher gebohrt werden, die man auch tatsächlich für das jeweilige Gatter benötigt.

An den Rändern der Platine sind 4 grössere Löcher für die M3-Schrauben zum Verbinden der Platine mit der Trägerplatte (Hartfaserplatte) vorgesehen. Diese Bohrungen sollten einen Durchmesser von **3,5 mm** haben und ebenfalls mit einem 1 mm - Bohrer vorgebohrt werden.

Auch wenn die Kupferseite der Platine durch die Trägerplatte vor Berührung geschützt ist, empfiehlt sich ein **Korrosionsschutz**, entweder durch Verzinnen oder durch einen Lötack.



CMOS-ICs zum Aufbau der Gatter

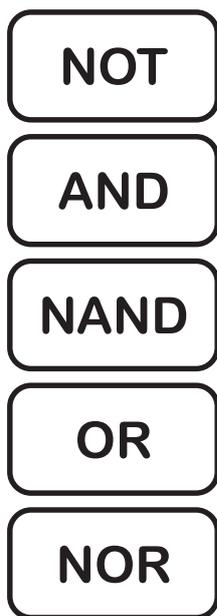
Für jedes **logische Gatter** ist eine **eigene Platine** vorgesehen, die mit dem jeweiligen IC laut Tabelle bestückt wird und dessen Brücken entsprechend zu setzen sind. Auch eine **Beschriftung** zur schnellen Identifizierung des Gattertyps beim praktischen Arbeiten ist vorgesehen.

Gatter	A,B,(A)	IC	Br 1	Br 2	Br 3	IC	Br 1	Br 2	Br 3
NOT	(A)	4011	Brücke	Brücke	4001	Brücke	Brücke
AND	A,B	4011	Brücke	4081	Brücke
NAND	A,B	4011	Brücke				
OR	A,B	4001	Brücke	4071	Brücke
NOR	A,B	4001	Brücke				
EXOR	A,B	4030	Brücke				
EXNOR	A,B	4077	Brücke				

Die am häufigsten verwendeten Gatter (NOT, AND, NAND, OR, NOR) können mit nur **2 verschiedenen ICs (4001, 4011)** aufgebaut werden. Es sind lediglich die **Brücken** laut Tabelle zu setzen. Bei NOT, AND und OR können auch die CMOS-ICs 4001, 4081 und 4071 verwendet werden.

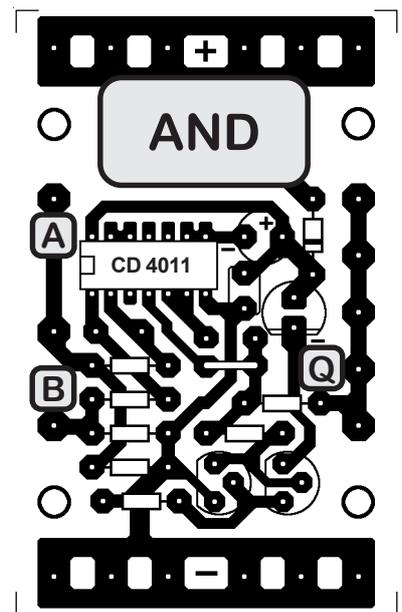
An den **Eingängen A, B** bzw. **(A)** dürfen nur die angegebenen Lötstifte (A, B oder (A)) eingebaut werden; die übrigen Anschlüsse (Löcher) bleiben offen bzw. werden überhaupt nicht gebohrt. Die seltener verwendeten Gatter EXOR und EXNOR müssen mit den ICs 4030 und 4077 gebildet werden.

Beschriftung der Platinen



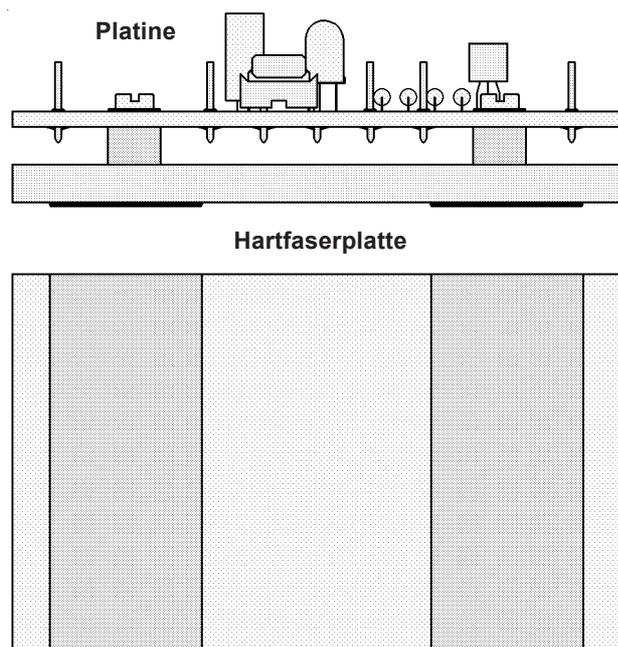
Die abgebildeten **Felder** mit der Gatterbezeichnung sind für das **Beschriften** der Platinen vorgesehen. Sie werden auf die jeweilige Platine aufgeklebt. Mit den kleinen Feldern **A** und **B** können auch die Eingänge beschriftet werden. Beim **NOT-Gatter** wird **nur der mittlere Eingang** mit **A** beschriftet. Der Ausgang **Q** muss nicht unbedingt beschriftet werden, da er sich ohnehin klar erkennbar am rechten Rand der Schaltung (5 Anschlüsse) befindet.

Die Abbildung rechts zeigt als Beispiel ein **AND-Gatter mit Beschriftung**. Als **Brücke** ist nur **Br 3** eingebaut, weil das CMOS-IC 4011 verwendet wird. Die anderen Verbindungen bei den Brücken Br 1 und Br 2 bleiben offen bzw. werden überhaupt nicht gebohrt, wie aus der obigen Tabelle hervorgeht.



Experimenteller Aufbau der Gatter

Die fertig aufgebaute Platine kann in dieser Form nur sehr schlecht zum Experimentieren verwendet werden, da die Unterseite nicht gegen Berührung geschützt bzw. gegenüber einer leitenden Unterlage isoliert ist. Es gibt aber **mehrere Möglichkeiten**, wie man die Platine für die experimentelle Anwendung gebrauchsfertig macht.



Der hier vorgestellte **experimentelle Aufbau** stellt eine kostengünstige Alternative dar, die nur einen geringen Aufwand und wenig Material benötigt.

Material für den experimentellen Aufbau

Hartfaserplatte: 80 x 50 x 5 mm
 4 Distanzscheiben: 5 mm
 4 M3-Schrauben: 12 mm lang (ev. 10 mm)
 4 kleine M3-Beilagscheiben

Als Grundplatte wird eine **Hartfaserplatte** in der Größe der Platine (80 x 50 mm, Dicke: 5 mm) verwendet. Konzentrisch zu den 3,5 mm - Bohrungen werden **4 Löcher** in die Hartfaserplatte gebohrt, jedoch nur mit einem **2,5 mm** - Bohrer, keinesfalls mit 3 mm oder mehr. Die **M3-Schrauben** (12 mm lang, ev. 10 mm) werden mit kleinen M3-Beilagscheiben durch die Platine in die Hartfaserplatte geschraubt. Zwischen Platine und Hartfaserplatte befinden sich **5 mm Distanzscheiben** als Abstandhalter. In dieser Form können die Gatter bereits zum Experimentieren auf einer ebenen Unterlage benützt werden.

Magnetstreifen

Möchte man an der Wand - also senkrecht - experimentieren, so können auf die Hartfaserplatte **Magnetstreifen** mit Schmelzkleber etc. aufgeklebt werden. Die Experimentierplatten haften dann auf einer Blechunterlage.

Klettbander mit Filzunterlage

Eine weitere Alternative ist die Verwendung von **Klettbandern** (2 Streifen) auf der Unterseite der Hartfaserplatte. Als preisgünstiger Haftuntergrund für die Krepp-Bänder eignen sich z.B. **Platten für Filzböden** (2 Stück zu je 40 x 40 cm), die auf eine Spanplatte aufgeklebt werden. Die Experimentierplatten lassen sich dann nicht verrücken und haften auch bei senkrechter Montage.

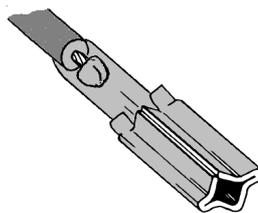
Grundsätzlich kann die Platine in ein **Gehäuse** aus Kunststoff etc. eingebaut werden. Die Anschlüsse sind dann als Buchsen aus dem Gehäuse herauszuführen und die Leuchtdiode kann mit einer LED-Fassung im Gehäuse befestigt werden.

Es wäre z.B. auch möglich, die PLUS- und MINUS-Leitungen über **Kontaktfedern mit Stromschienen** zu verbinden, sodass die Stromversorgung automatisch beim experimentellen Aufbau zugeführt wird.

Drahtverbindungen zwischen den Experimentierplatinen

Als **Verbindung** zwischen den Lötstiften der Experimentierplatten werden **Litzendrähte** (0,14 mm²) in Längen von **5 - 15 cm** verwendet. Für die **PLUS**-Leistungen sollten rote Kabel verwendet werden, für die **MINUS**-Leitungen schwarze Kabel. Eine dritte Farbe - z.B. grün - eignet sich dann für die Verbindung von Ein- und Ausgängen.

An den jeweiligen Enden der Kabel werden handelsübliche **1 mm - Steckschuhe** angelötet, wobei zwecks besserer Reissfestigkeit die Kabelenden nur etwa 2 - 3 mm abisoliert werden dürfen. Vor dem



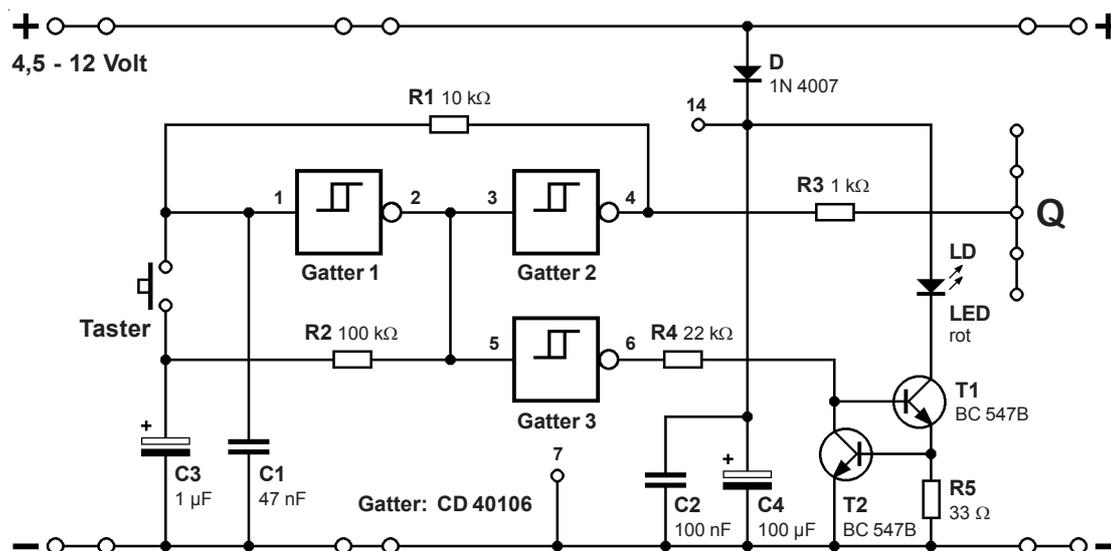
Zusammenlöten von Steckschuh und Kabel werden beide vorverzinnt und erst dann verlötet. Dabei soll die Litzenummantelung aus Kunststoff auf dem Steckschuhanschluss aufliegen. Das erhöht die **Reissfestigkeit des Kabels** ausserordentlich.

Pro Platine sollte man insgesamt **4 - 5 Kabelverbindungen** unterschiedlicher Länge vorsehen.

Toggle-Taste ... Entprellte Signaleingabe

Die logischen Gatter in den Versuchsschaltungen müssen an ihren Eingängen mit **definierten Pegeln** (H-Pegel oder L-Pegel) versorgt werden. Eine elegante Methode - im Gegensatz zu Schiebe- oder Kipp-schaltern - stellt eine **elektronische Taste** dar. Sie

hat **zwei stabile Zustände**, wobei zwischen beiden Zuständen (H- bzw. L-Pegel) mit einem Tastendruck hin und her geschaltet wird. Auf Grund der **Entprellung** verfügt dieser bistabile Taster über ein sauberes Ausgangssignal und ist daher universell einsetzbar.



Funktion der Schaltung

Für den Aufbau der Toggle-Taste wird der **CMOS-IC 40106** verwendet, der insgesamt **6 Inverter mit Schmitt-Trigger - Funktion** beinhaltet. Die Grundschaltung einer Toggle-Taste benötigt nur **2 Gatter**; in diesem Fall sind das Gatter 1 und 2. Da genügend Gatter im IC zur Verfügung stehen, wird Gatter 3, das parallel zu Gatter 2 geschaltet ist, zur Ansteuerung der Konstantstromquelle (T1, T2) über R4 verwendet. Auch bei dieser Schaltung ist die **Leuchstärke der Pegelanzeige** (Leuchtdiode LD) praktisch unabhängig von der Betriebsspannung, die zwischen 4,5 und 12 Volt betragen kann.

Funktion der Toggle-Taste

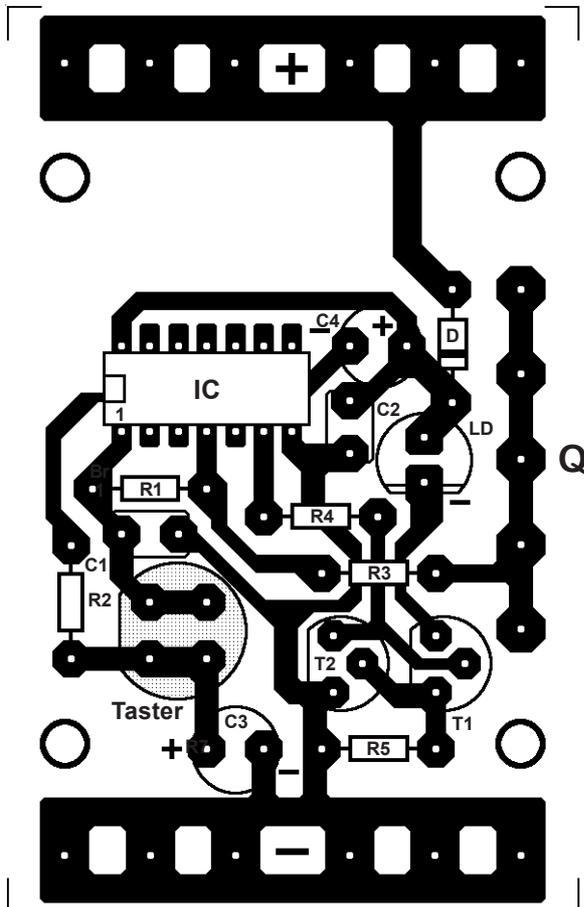
Für die eigentliche bistabile Funktion (Toggle) der Taste sind neben den **Gattern 1 und 2** die **Widerstände R1 und R2** und der **Kondensator C3** verantwortlich. Der Kondensator C1 erhöht die Störsicherheit und dient dazu, dass der Ausgang der Schaltung nach dem Anschließen der Betriebsspannung auf L-Pegel liegt. Das ist deshalb der Fall, weil C1 beim Anschließen der Spannung nicht geladen ist. Daher liegt zu diesem Zeitpunkt der Eingang von Gatter 1 auf L-Pegel und somit dessen Ausgang auf H-Pegel (Inverter-Funktion), der wiederum am Eingang von Gatter 2 liegt. **Gatter 2** invertiert das Signal nochmals und somit liegt an seinem Ausgang

L-Pegel. Dieser **L-Pegel** wird über den Widerstand R1 auf den Eingang von Gatter 1 **zurückgekoppelt**.

Solange keine Taste gedrückt wird, hält der Ausgang von Gatter 2 den Eingang von Gatter 1 auf L-Pegel. In der Zwischenzeit wird über den Widerstand R2, der an H-Pegel liegt (Ausgang Gatter 1), der Kondensator C2 in etwa **0,5 Sekunden auf H-Pegel** geladen. Wird nun der Taster gedrückt, erhält der Eingang von Gatter 1 vom geladenen Kondensator C3 ein **H-Signal**. Der Ausgang von Gatter 1 schaltet daher auf L-Pegel und der Ausgang von Gatter 2 auf H-Pegel. Auch dieser Pegel wird wieder über R1 auf den Eingang von Gatter 1 zurückgekoppelt. Wird nun der Taster losgelassen, bleibt der H-Pegel erhalten. Aber auch wenn der Taster noch länger gedrückt bleibt, beeinflusst dies die Pegeländerung nicht, da der Widerstand R2 (100 kOhm) den 10-fachen Wert von R1 (10 kOhm) hat. Die Hysterese (= unterschiedliche Schaltschwellen des Schmitt-Triggers für positive und negative Schaltflanken) sorgt zusätzlich für ein sicheres Schaltverhalten.

Wird der **Taster geöffnet**, entlädt sich C3 über R2 in einer Zeit von 0,5 Sekunden. Beim nächsten Betätigen des Tasters erhält nun der Eingang von Gatter 1 wieder vom Kondensator C3 L-Pegel und wechselt in den ursprünglichen stabilen Zustand zurück.

Taster-Eingabe Bestückungsplan



Bestückungsplan

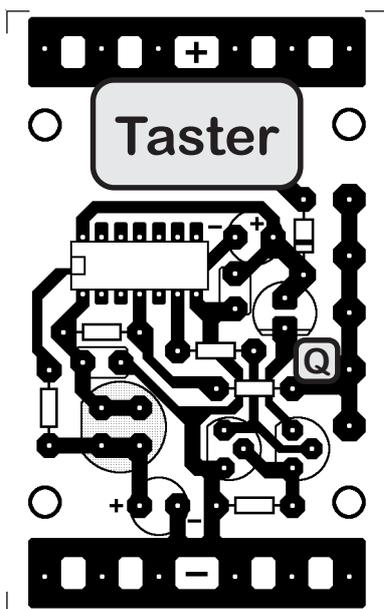
Der Bestückungsplan ist vergrößert und mit Blick auf die Bauelementeseite der Platine dargestellt. Beim **Einbau der Bauelemente** ist auf die **richtige Polung** entsprechend den Abbildungen (Kondensatoren C3 und C4, Diode D, Transistoren T1 und T2, Leuchtdiode LD) zu achten. Der Integrierte Schaltkreis (IC) und dessen Fassung sind links mit einer Kerbe gekennzeichnet. Insbesondere beim **Taster** ist auf die Einbaurichtung zu achten. Die **abgeflachte Seite des Tasters** muss sich **links** befinden!

Für die **Leuchtdiode (LD)** können Typen mit 5 mm, 8 mm oder auch 10 mm eingesetzt werden, wobei der **MINUS-Pol** ebenfalls im Bestückungsplan angegeben ist. Der **MINUS-Pol** ist bei der Leuchtdiode durch den kurzen Anschluss, durch eine kleine Abflachung am Gehäuse und durch den dickeren „Block“ im Gehäuse gekennzeichnet.

Bauelemente - Stückliste

R1	10 kOhm	D	1N 4007
R2	100 kOhm	LD	LED rot
R3	1 kOhm	T1	BC 547B
R4	22 kOhm	T2	BC 547B
R5	33 Ohm	IC-Fassung	14-polig
C1	47 nF	IC	CD 40106
C2	100 nF	Print-Taster		
C3	1 µF	Lötstifte 1mm	17 Stk.
C4	100 µF	Platine	80 x 50 mm

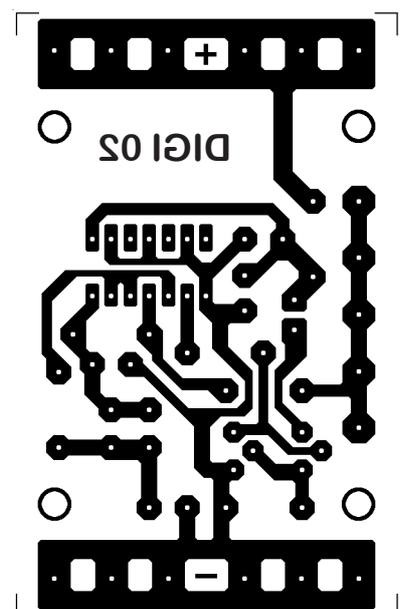
Taster: Beschriftung und Platinen-Layout 1 : 1 (Fotomethode)



Die Abbildung links zeigt die **Beschriftung** der Taster-Eingabe. Für die Kennzeichnung der Platine ist das Feld „Taster“ vorgesehen, mit dem Aufkleber „Q“ kann man den Ausgang der Schaltung beschriften. Die Vorlage (**Layout**) der Platine auf der rechten Seite dient für die Fertigung nach der Fotomethode.

Sowohl die Beschriftung als auch die Herstellung der Platine erfolgen nach der Beschreibung für die Universalplatine. Beim Taster sind jedoch alle vorgesehenen Löcher zu bohren.

Taster

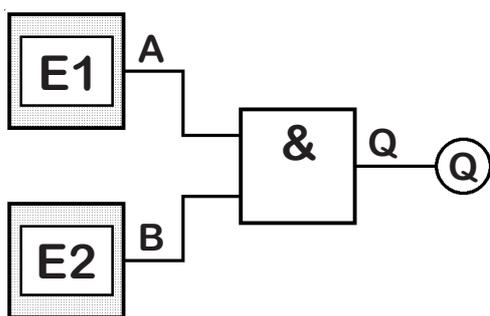


Experimente mit logischen Gattern ... Wahrheitstabelle

Das folgende einfache Beispiel eines Schaltplans zeigt den **Aufbau einer digitalen Experimentierschaltung**. Um die Funktionsweise eines AND-Gatters mit 2 Eingängen experimentell überprüfen zu können, benötigt man 3 Bausteine. Für die **Eingabe** der beiden logischen Pegel (A, B) sind 2 Eingabetaster E1 und E2 erforderlich.

Für die **Verarbeitung** (logische Funktion) wird ein AND-Gatter benötigt. Die **Ausgabe Q** in Form einer Leuchtdiode befindet sich bereits auf dem Logik-Baustein, sodass ein spezieller Baustein für die Anzeige des Ausgangspegels Q nicht notwendig ist. Zur besseren Übersicht wird jedoch die Ausgabe Q im Schaltplan extra eingezeichnet.

Eingabe ... Verarbeitung ... Ausgabe



Wahrheitstabelle

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

Die logischen Pegel am Ausgang Q der Schaltung werden mit Hilfe der Schaltzustände der Eingabetaster E1 und E2 gefunden.

Die Signalpegel an den Eingängen A und B und am Ausgang Q werden mit Leuchtdioden angezeigt.

Experimenteller Aufbau Verdrahtung der Bausteine

Grundsätzlich sollen die Bausteine (E1, E2, AND) auf der Experimentierunterlage ähnlich angeordnet werden wie im Schaltplan, wobei auf die Polarität (PLUS oben, MINUS unten) zu achten ist.

Zuerst werden die Stromversorgungsleitungen hergestellt, wobei für die **PLUS-Leitungen rote Verbindungskabel** gewählt werden, für die **MINUS-Leitungen schwarze Kabel**. Die Verdrahtung der Stromversorgung sollte - ausgehend vom Eingabetaster E1 -

von links nach rechts erfolgen, wobei jede Schaltung mit Strom versorgt werden muss. Mit einer dritten Farbe - meistens **grün** - werden danach die **logischen Verbindungen** hergestellt: ... Ausgang Taster E1 zu Eingang A der AND-Logik, Ausgang Taster E2 zu Eingang B der AND-Logik. Erst dann wird an den Eingabetaster E1 die externe Stromversorgung (Batterie, elektronisch stabilisiertes Netzgerät), die 4,5 - 12 Volt betragen kann, angeschlossen.

Experimentelle Ermittlung der Wahrheitstabelle

Mit den Eingabe-Tastern werden die logischen Pegel (0 bzw. 1) aus der Wahrheitstabelle für A und B eingegeben. Es wird mit der **ersten Zeile** (0 - 0) begonnen und in die **Tabelle Q** der **experimentell ermittelte Wert** eingetragen. Auf diese Weise werden **alle 4 möglichen Zustände** (Zeilen), die mit 2 Eingangsvariablen (A, B) möglich sind, durchgetestet.

Bei einer einfachen digitalen Schaltung, wie z.B. beim AND-Gatter mit 2 Eingängen, ist die Voraussage des Ergebnisses Q einfach. Bei mehreren Eingängen und insbesondere bei Verwendung mehrerer verschiede-

ner Gatter muss systematisch jede Zeile der Wahrheitstabelle abgearbeitet werden.

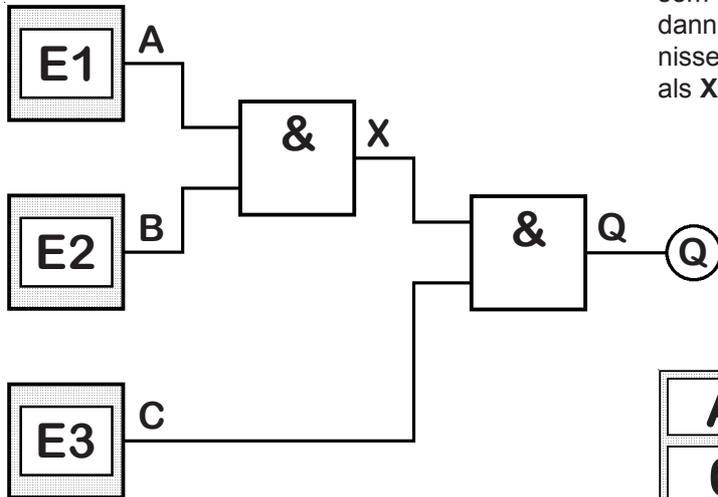
Bei einer einzigen Eingangsvariable A - z.B. bei einem Inverter (NOT-Gatter) - hat die Tabelle nur 2 Zeilen, da nur zwei Zustände für den Eingang (0, 1) möglich sind. Bei 2 Eingangsvariablen sind bereits 4 Zustände möglich, wie das obige Beispiel zeigt. Bei 3 Eingangsvariablen sind insgesamt 8 Zustände von **0, 0, 0** bis **1, 1, 1** möglich, sodass eine weitere Eingangsvariable **C** notwendig ist. Auf diese Weise können sich umfangreiche Wahrheitstabellen ergeben.

Anzahl der Eingangsvariablen (A, B, C, ...)	1	2	3	4	5
Anzahl der Zeilen in der Wahrheitstabelle	2	4	8	16	32

Ermittlung der Wahrheitstabelle mit mehreren Gattern

Werden mehrere logische Gatter kombiniert, so ist es oft sinnvoll, auch die **Zwischenergebnisse** in der Wahrheitstabelle abzubilden. Bei diesem Beispiel sind

die **Eingänge A und B** mit einem AND-Gatter verknüpft. Das Zwischenergebnis wird in der Tabelle als **X** dargestellt. Die Verknüpfung von X und C - in diesem Fall ebenfalls mit einem AND-Gatter - ergibt dann die **Ausgabe Q**. Bei mehreren Zwischenergebnissen in komplexen Schaltnetzen kann man diese als **X₁, X₂, X₃,** bezeichnen.

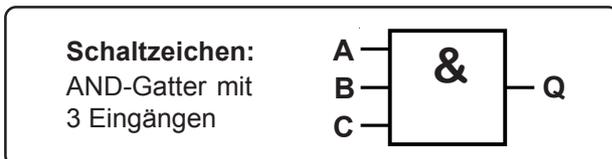


Wahrheitstabelle

Für die **Eingänge A, B und C** sind alle möglichen Kombinationen von **1** und **0** angegeben. In der Wahrheitstabelle ergeben sich daher **8 Zeilen**. Die **Spalte X** ergibt sich aus der Kombination der Eingänge A und B.

Anstatt der beiden AND-Gatter mit je 2 Eingängen kann man auch ein einzelnes AND-Gatter mit 3 Eingängen verwenden. Das Ergebnis bleibt gleich. In der Praxis ist es jedoch oft so, dass man nicht wegen eines einzelnen Gatters ein zusätzliches IC verwendet. Man versucht, die vorhandenen Gatter optimal zu kombinieren, um mit einer möglichst kleinen Anzahl von verschiedenen ICs auszukommen.

A	B	C	X	Q
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	0
1	1	0	1	0
1	1	1	1	1



Analyse von Schaltnetzen mit Hilfe von Funktionsgleichungen

Für die Analyse von logischen Schaltnetzen können auch die **Funktionsgleichungen**, die für die einzelnen Gatter gelten, verwendet werden. Indem man in die fertige Funktionsgleichung die logischen Pegel **0** und **1** einsetzt, erhält man ebenfalls die vollständige **Wahrheitstabelle**. Dabei ist zu beachten, dass der **Schaltplan von rechts nach links** gelesen wird und so der Reihe nach die Zwischenergebnisse **X₁, X₂, X₃,** ermittelt werden.

$$Q = X \wedge C$$

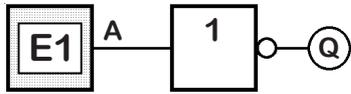
$$X = A \wedge B$$

$$Q = (A \wedge B) \wedge C$$

Der **Ausgang Q** wird über das zweite AND-Gatter von den **Eingängen X und C** bestimmt. Der **Ausgang X** wiederum wird über das erste AND-Gatter von den **Eingängen A und B** bestimmt. Wird für **X** die zweite Gleichung in die erste eingesetzt, ergibt sich die endgültige Funktionsgleichung mit den Eingängen A, B und C.

Für die **Eingänge A, B und C** werden die logischen **Pegel 0 und 1** laut Wahrheitstabelle eingesetzt. Die Berechnung der Gleichung ergibt dann **dieselben Werte** für die **Ausgabe Q** wie bei der experimentellen Methode.

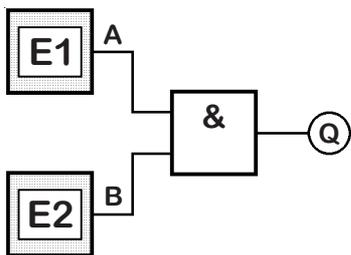
a



NOT

A	Q
0	
1	

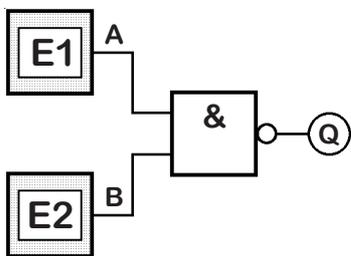
b



AND

A	B	Q
0	0	
0	1	
1	0	
1	1	

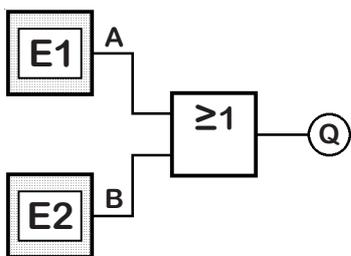
c



NAND

A	B	Q
0	0	
0	1	
1	0	
1	1	

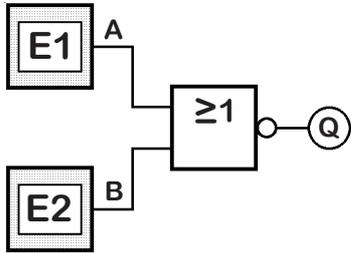
d



OR

A	B	Q
0	0	
0	1	
1	0	
1	1	

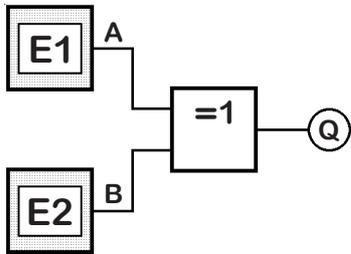
a



NOR

A	B	Q
0	0	
0	1	
1	0	
1	1	

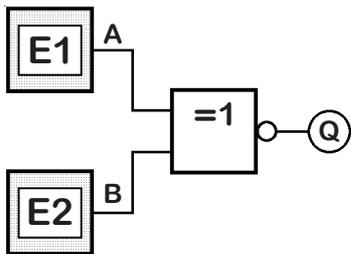
b



EXOR

A	B	Q
0	0	
0	1	
1	0	
1	1	

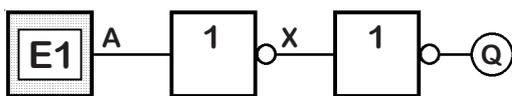
c



EXNOR

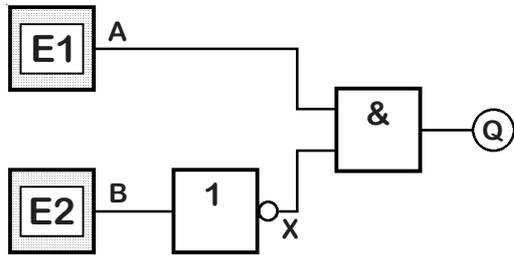
A	B	Q
0	0	
0	1	
1	0	
1	1	

d



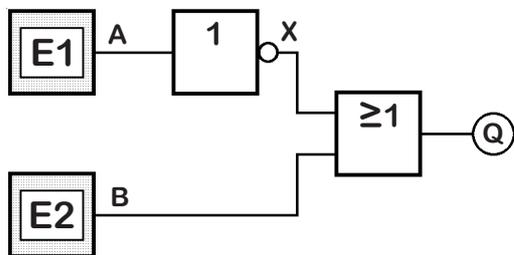
A	X	Q
0		
1		

a



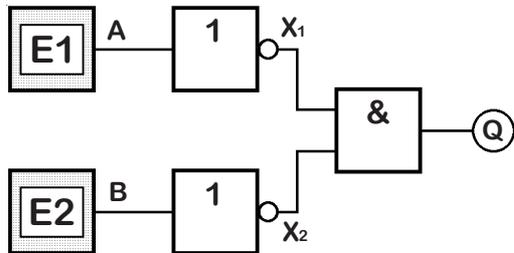
A	B	X	Q
0	0		
0	1		
1	0		
1	1		

b



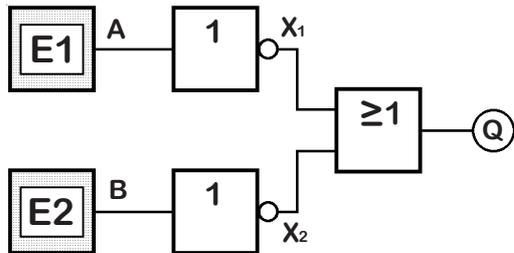
A	B	X	Q
0	0		
0	1		
1	0		
1	1		

c



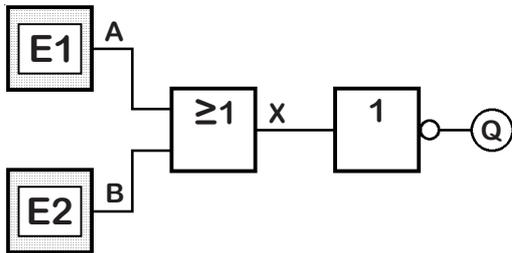
A	B	X ₁	X ₂	Q
0	0			
0	1			
1	0			
1	1			

d



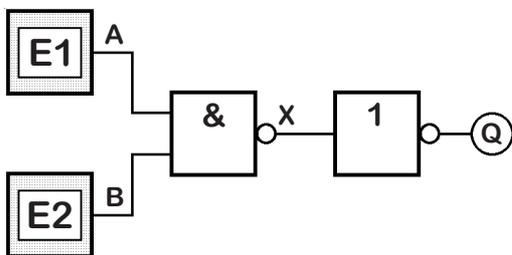
A	B	X ₁	X ₂	Q
0	0			
0	1			
1	0			
1	1			

a



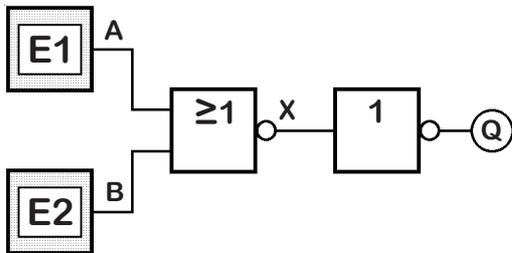
A	B	X	Q
0	0		
0	1		
1	0		
1	1		

b



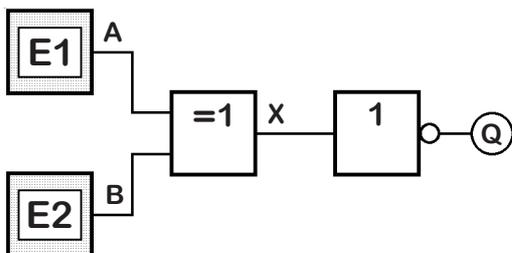
A	B	X	Q
0	0		
0	1		
1	0		
1	1		

c



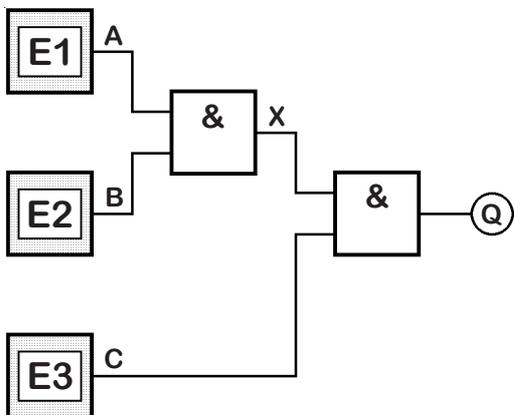
A	B	X	Q
0	0		
0	1		
1	0		
1	1		

d



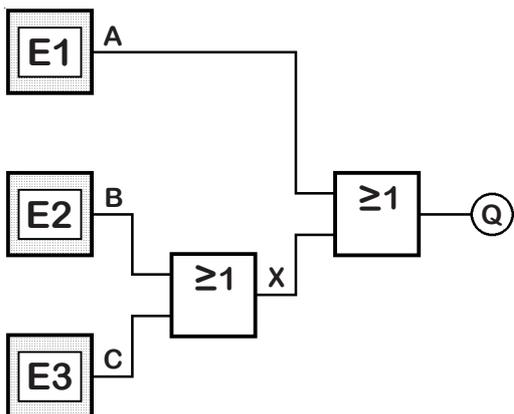
A	B	X	Q
0	0		
0	1		
1	0		
1	1		

a



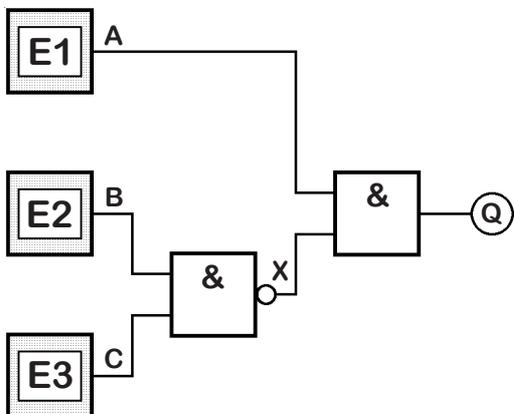
A	B	C	X	Q
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

b



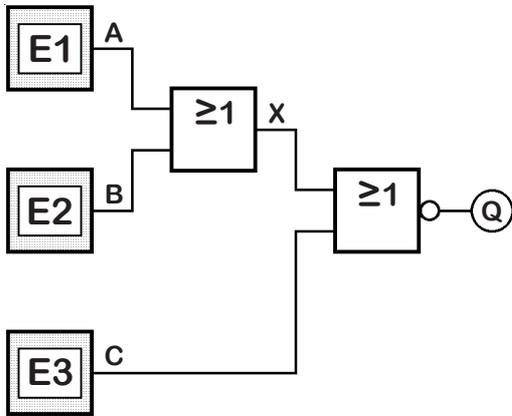
A	B	C	X	Q
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

c



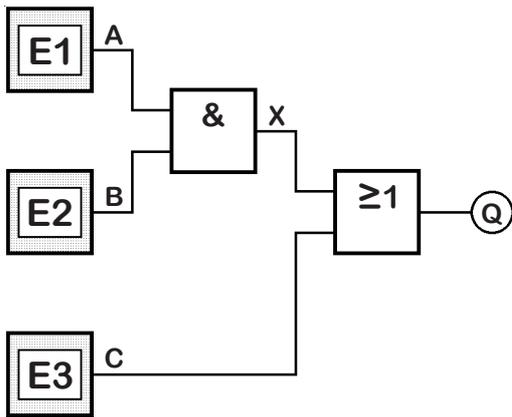
A	B	C	X	Q
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

a



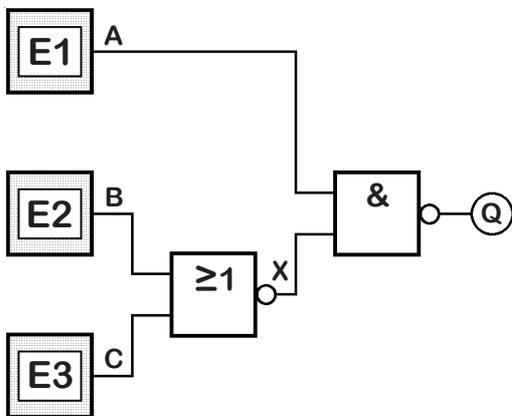
A	B	C	X	Q
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

b



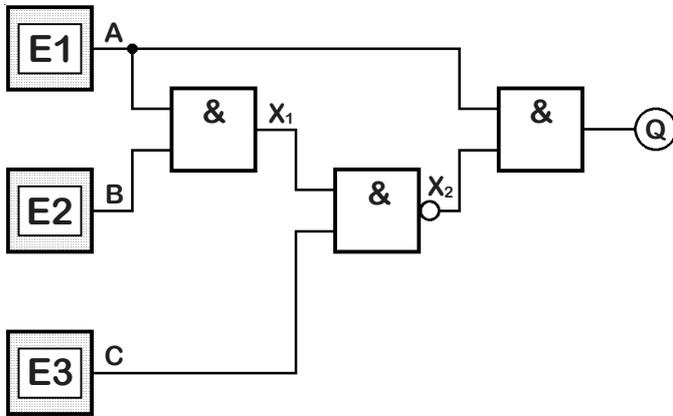
A	B	C	X	Q
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

c



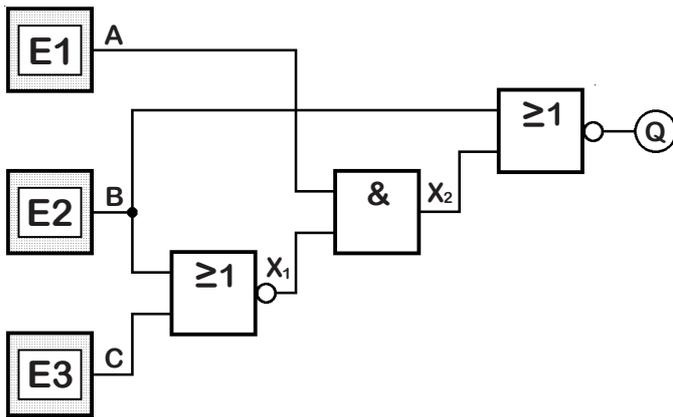
A	B	C	X	Q
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

a



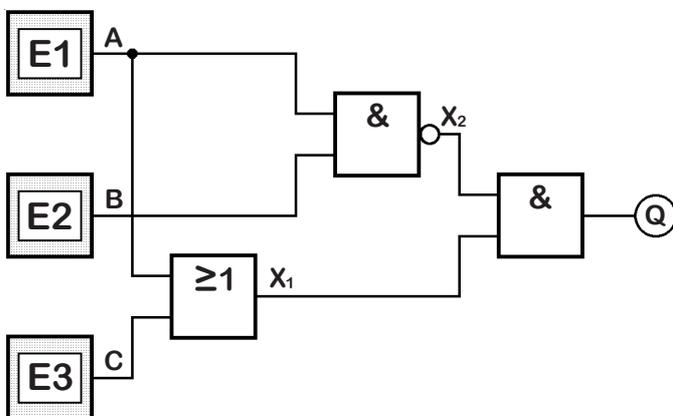
A	B	C	X ₁	X ₂	Q
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

b



A	B	C	X ₁	X ₂	Q
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

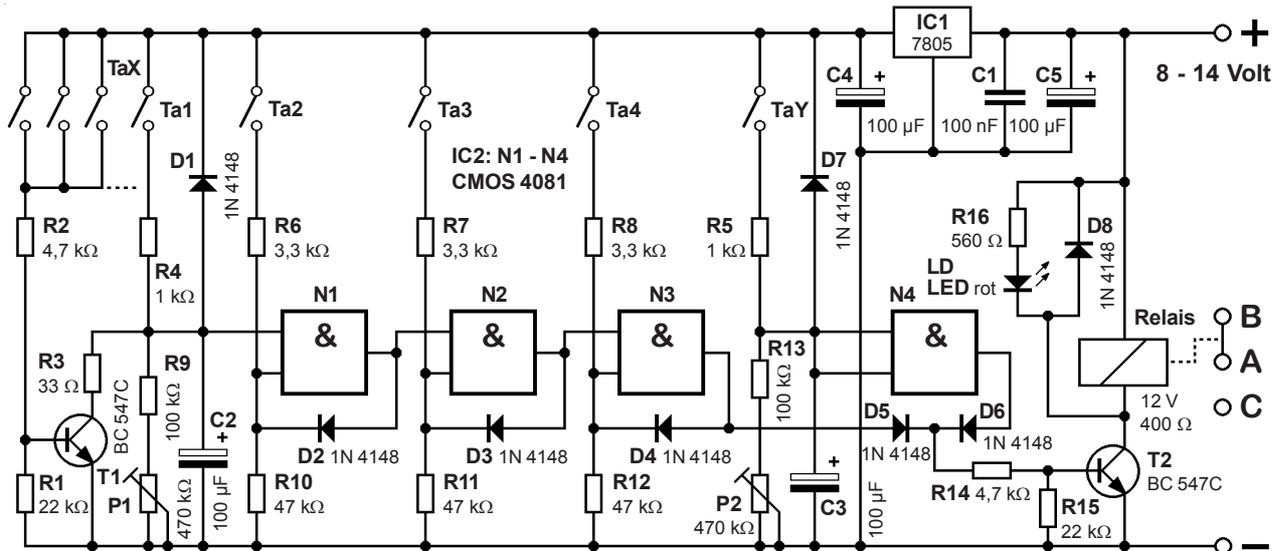
c



A	B	C	X ₁	X ₂	Q
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

Digitales Code-Schloss

Ein Code-Schloss wird immer dann verwendet, wenn man auf einen Schlüssel verzichten und trotzdem den Zugang zu einem Objekt oder zu Wertsachen zuverlässig sichern möchte. Voraussetzung für ein funktionierendes Code-Schloss ist eine einwandfreie Stromversorgung. Bei Stromausfall muss die Verriegelung weiter bestehen bleiben.



Funktion der Schaltung

Die Schaltung ist so ausgelegt, dass man eine **frei wählbare 4-stellige Zahl** in der richtigen **Reihenfolge** innerhalb einer in gewissen Grenzen frei wählbaren **Zeit** eingeben muss, damit das Relais anzieht und z.B. einen Magnetschalter betätigt. Für die Eingabe können **handelsübliche Tastenfelder** verwendet werden. Ein **zusätzlicher Taster** dient dazu, den Öffnungsmechanismus auch unabhängig vom Tastenfeld zu betätigen, z.B. beim Öffnen einer Tür von der Innenseite.

Die Elektronik ist mit **vier AND-Gattern** aufgebaut, sodass ein einziger **CMOS-IC** genügt. Die Taster **Ta1 bis Ta4** sind für die Codeeingabe zuständig.

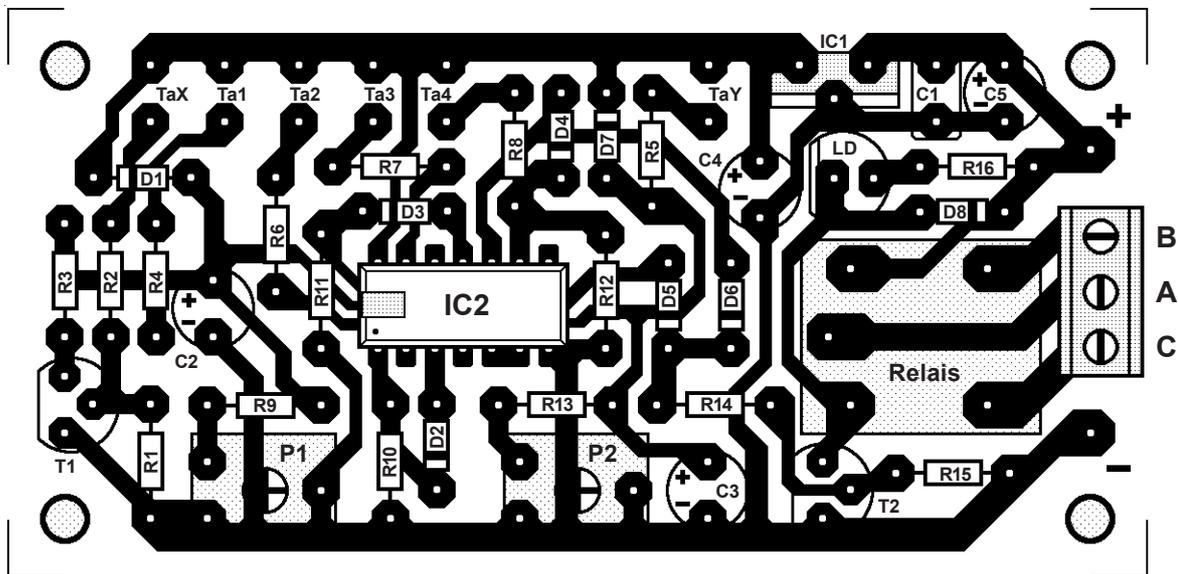
Wird die erste Ziffer mit Ta1 eingegeben, so lädt sich der Kondensator C2 nahezu bis auf 5 Volt - festgelegt durch den Spannungsregler IC1 (LM 7805) - auf. An einem Eingang des Gatters N1 liegt also H-Pegel. Der Kondensator C2 sorgt dafür, dass dieser Pegel für eine gewisse Zeit erhalten bleibt. Diese Verweilzeit wird von R9 und dem **Trimpotentiometer P1** bestimmt. Wird nun Ta2 betätigt, hat auch der zweite Eingang von N1 H-Pegel, der Ausgang des AND-Gatters springt also ebenfalls auf H-Pegel. Über die Diode D2 wird dieser Pegel an den Eingang zurückgegeben ... folglich bleibt der Ausgang des Gat-

ters auch nach dem Loslassen des Tasters auf H-Pegel. Der Ausgang des Gatters N1 ist wiederum mit einem Eingang des Gatters N2 verbunden. Mit dem Taster Ta3 kann somit der Ausgang von N2 auf H-Pegel gesetzt werden, mit dem Taster Ta4 der Ausgang von Gatter N3. Über die Diode D5 wird der Transistor T2 angesteuert, das **Relais** zieht an bzw. die Kontroll-LED leuchtet. Jede Fehleingabe mit beliebig vielen **Tastern TaX** bewirkt eine schnelle Entladung von C2 und damit ein Zurücksetzen der Gatter N1 bis N3 auf L-Pegel. Eine beliebige **4-stellige Zahl** - z.B. 4591 -, in der richtigen Reihenfolge eingegeben und den entsprechenden Tastern zugeordnet, bewirkt also das **Ansprechen des Öffnungsmechanismus**.

Der Transistor T1 wird hier als Inverter benötigt, damit alle üblichen Tastenfelder als Eingabe verwendet werden können und nicht beide Stromversorgungsleitungen zum Tastenfeld geführt werden müssen.

Mit dem **Taster TaY** wird die **Öffner-Funktion** unabhängig von der übrigen Schaltung über Gatter N4 gebildet, wobei die Dioden D5 und D6 eine ODER-Funktion bilden. Auch hier ist mit P2 eine einstellbare Zeitfunktion eingebaut.

Bestückungsplan und Platinen-Layout



Hinweise zum Aufbau der Schaltung

Der Bestückungsplan zeigt die **Bestückungsseite** der Platine. Die Verbindungsbahnen zwischen den Bauelementen (Kupfer- und Lötseite) sind durchscheinend dargestellt. Die Bauelemente werden entsprechend der Abbildung auf der Bestückungsseite in die Platine eingesetzt und auf der Kupferseite verlötet.

Bei folgenden **Bauelementen** ist auf die **Einbau-richtung** zu achten: Kondensatoren C2 - C5, Dioden D1 - D8, Transistoren T1 + T2, Leuchtdiode, IC1 und IC2. Beim **Printrelais** - hier wird ein handelsübliches Kleinrelais mit 12 Volt und 400 Ohm Spulenwiderstand verwendet - ist auf die Anordnung der Anschlüsse zu achten. Das Relais muss für die **Schaltspannung** und den **Schaltstrom** für das nachgeschaltete Gerät (z.B. Magnetschalter) ausgelegt sein. Übliche Relais-Daten sind 240 Volt und 5 Ampere. Das reicht in praktisch allen Fällen.

Vorlage für die Fotomethode

Die Vorlage (Layout, Darstellung 1:1) der Platine dient für die Fertigung nach der Fotomethode.

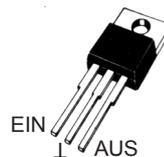
Bearbeiten der Platine

Die **Bohrungen** in der Platine sollten mit einem neuen **1 mm - Bohrer** durchgeführt werden, insbesondere wegen der eng beieinander liegenden IC-Anschlüsse. Die Bohrungen an den Ecken der Platine sollten mit einem 3,5 mm - Bohrer erfolgen, falls M3-Schrauben verwendet werden.

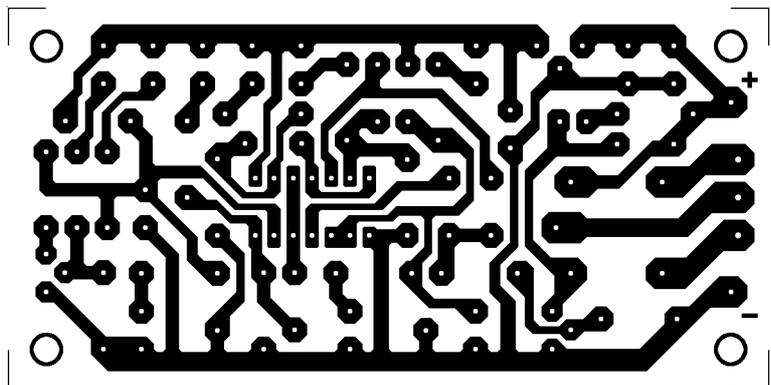
Bauelemente - Stückliste

R1,R15	22 kOhm	D1-D8	1N 4007
R2,R14	4,7 kOhm	LD	LED rot
R3	33 Ohm	T1, T2	BC 547C
R4,R5	1 kOhm	IC1	LM 7805
R6-R8	3,3 kOhm	IC2	CMOS 4081
R9,R13	100 kOhm	IC-Fassung	14-polig
R10-R12	47 kOhm	Lötstifte 1mm	14 Stk.
R16	560 Ohm	Relais	12 V/400 Ohm
P1,P2	470 kOhm	Schraubklemme	3-polig
C1	100 nF	Platine	100 x 50 mm
C2-C5	100 µF			handelsübliches Tastenfeld

Spannungsregler LM 7805

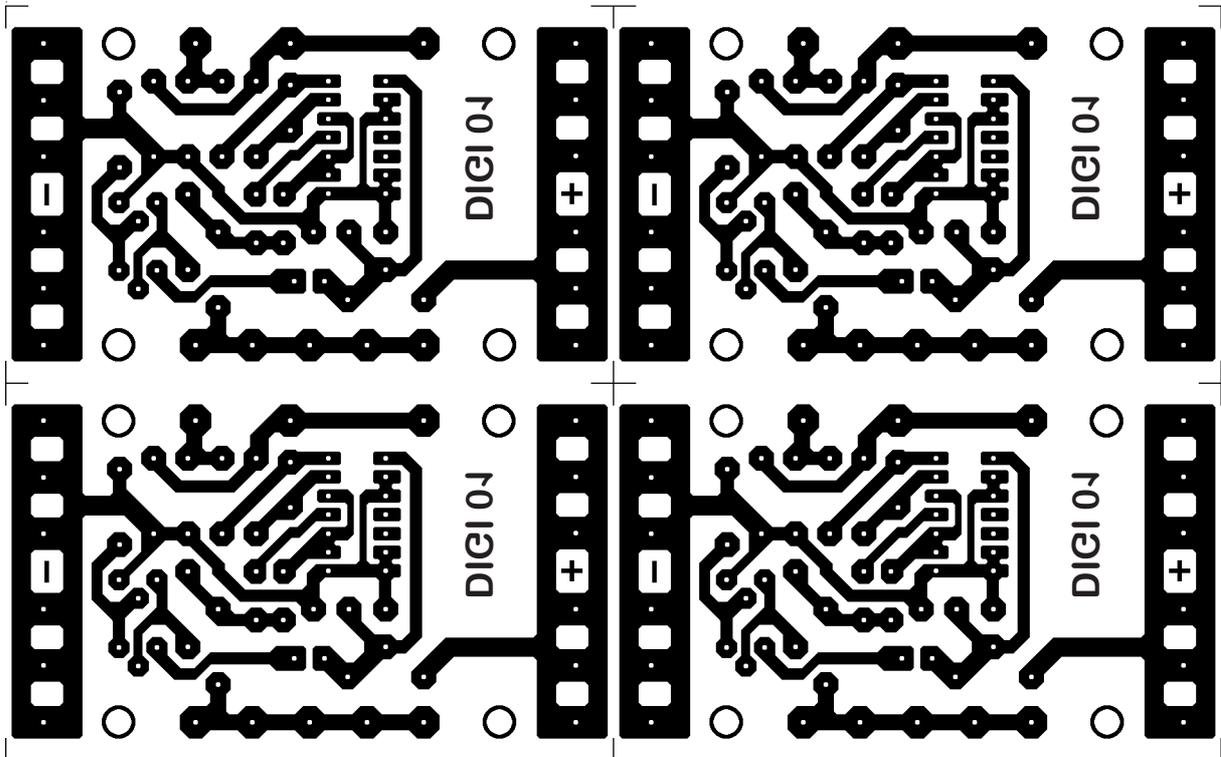


Der Spannungsregler LM 7805 reduziert die Betriebsspannung, die zwischen 8 und 14 Volt betragen kann, auf stabile 5 Volt. Beim Einbau in die Schaltung ist darauf zu achten, dass sich die **Metallseite des IC auf der Innenseite der Platine** befindet.



Platinenfertigung Layoutvorlagen im Euro-Format

Universalplatine (4-fach) für die logischen Gatter 100 x 160 mm



Platine (4-fach) für die Taster-Eingabe (Toggle-Taste) 100 x 160 mm

